

日 本 国 特 許 庁
JAPAN PATENT OFFICE

22.1.2004

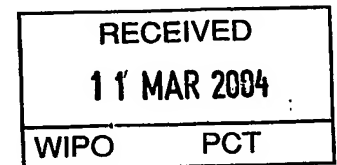
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 1月24日

出 願 番 号
Application Number: 特願2003-016693
[ST. 10/C]: [JP 2003-016693]

出 願 人
Applicant(s): 浜松ホトニクス株式会社

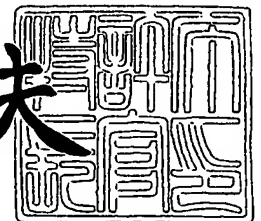


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2002-0842

【提出日】 平成15年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/00
G01T 1/24

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 杉山 行信

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 水野 誠一郎

【特許出願人】

【識別番号】 000236436

【氏名又は名称】 浜松ホトニクス株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光検出装置

【特許請求の範囲】

【請求項 1】 対象物に光を照射する光源とともに用いられ、画素が 2 次元配列された光感应領域を有する光検出装置であって、

各々入射した光の強度に応じた電流を出力する複数の光感应部分を同一面内にて隣接して配設することで 1 画素が構成され、

前記 2 次元配列における第 1 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち一方の光感应部分同士が電氣的に接続され、

前記 2 次元配列における第 2 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち他方の光感应部分同士が電氣的に接続されており、

前記光源により前記対象物に前記光が照射されている第 1 の期間にわたり前記第 1 の方向に配列された前記複数の画素間において電氣的に接続された一方の光感应部分群にて蓄積された電荷に対応する出力と、前記光源により前記対象物に前記光が照射されていない第 2 の期間にわたり前記一方の光感应部分群にて蓄積された電荷に対応する出力との差分に基づいて、前記第 2 の方向での輝度プロファイルを検出する第 1 信号処理回路と、

前記第 1 の期間にわたり前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感应部分群にて蓄積された電荷に対応する出力と、前記第 2 の期間にわたり前記他方の光感应部分群にて蓄積された電荷に対応する出力との差分に基づいて、前記第 1 の方向での輝度プロファイルを検出する第 2 信号処理回路と、を有することを特徴とする光検出装置。

【請求項 2】 前記第 1 信号処理回路は、

前記一方の光感应部分群からの電流出力を前記第 2 の方向に順次読み出すための第 1 シフトレジスタと、

前記第 1 シフトレジスタにより順次読み出される前記各一方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第 1

積分回路と、

前記第 1 積分回路からの電圧出力の変化量に応じた電圧出力を出力する第 1 CDS 回路と、

前記第 1 CDS 回路から出力される電圧出力をデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、

前記第 1 A/D 変換回路から出力された前記デジタル値に基づいて、前記第 1 の期間に対応したデジタル値と前記第 2 の期間に対応したデジタル値との差分を求める第 1 差分演算回路と、を含み、

前記第 2 信号処理回路は、

前記他方の光感应部分群からの電流出力を前記第 1 の方向に順次読み出すための第 2 シフトレジスタと、

前記第 2 シフトレジスタにより順次読み出される前記各他方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第 2 積分回路と、

前記第 2 積分回路からの電圧出力の変化量に応じた電圧出力を出力する第 2 CDS 回路と、

前記第 2 CDS 回路から出力される電圧出力をデジタル値に変換し、そのデジタル値を出力する第 2 A/D 変換回路と、

前記第 2 A/D 変換回路から出力された前記デジタル値に基づいて、前記第 1 の期間に対応したデジタル値と前記第 2 の期間に対応したデジタル値との差分を求める第 2 差分演算回路と、を含んでいることを特徴とする請求項 1 に記載の光検出装置。

【請求項 3】 前記第 1 信号処理回路は、前記第 1 A/D 変換回路と前記第 1 差分演算回路との間に設けられ、前記第 1 の期間に対応した前記デジタル値と前記第 2 の期間に対応した前記デジタル値とを記憶し、当該記憶したデジタル値を前記第 1 差分演算回路に出力する第 1 デジタルメモリを更に含み、

前記第 2 信号処理回路は、前記第 2 A/D 変換回路と前記第 2 差分演算回路との間に設けられ、前記第 1 の期間に対応した前記デジタル値と前記第 2 の期間に対応した前記デジタル値とを記憶し、当該記憶したデジタル値を前記第 2 差分演

算回路に出力する第2デジタルメモリを更に含んでいることを特徴とする請求項2に記載の光検出装置。

【請求項4】 前記第1信号処理回路は、

前記一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して出力する第1積分回路と、

前記第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第1結合容量素子および第1増幅器と、前記第1増幅器の入出力間に並列的に設けられた第1積分容量素子と、前記第1積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第1スイッチ素子手段と、を有する第1CDS回路と、

前記第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第2結合容量素子および第2増幅器と、前記第1積分容量素子の容量値と等しい容量値を有し前記第2増幅器の入出力間に並列的に設けられた第2積分容量素子と、前記第2積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第2スイッチ素子手段と、を有する第2CDS回路と、

前記第1CDS回路及び前記第2CDS回路に対応して設けられ、対応する第1CDS回路の前記第1積分容量素子および対応する第2CDS回路の前記第2積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第1差分演算回路と、を含み、

前記第2信号処理回路は、

前記他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して出力する第2積分回路と、

前記第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第3結合容量素子および第3増幅器と、前記第3増幅器の入出力間に並列的に設けられた第3積分容量素子と、前記第3積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第3スイッチ素子手段と、を有する第3CDS回路と、

前記第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出

力を入力する入力端子と出力端子との間に順に設けられた第4結合容量素子および第4増幅器と、前記第4積分容量素子の容量値と等しい容量値を有し前記第4増幅器の入出力間に並列的に設けられた第4積分容量素子と、前記第4積分容量素子に前記電圧出力の変化量に応じた電荷量を蓄積させる第4スイッチ素子手段と、を有する第4CDS回路と、

前記第3CDS回路及び前記第4CDS回路に対応して設けられ、対応する第3CDS回路の前記第3積分容量素子および対応する第4CDS回路の前記第4積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第2差分演算回路と、を含んでいることを特徴とする請求項1に記載の光検出装置。

【請求項5】 前記第1信号処理回路は、

前記第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、

前記第1サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第1A/D変換回路と、を更に含み、

前記第2信号処理回路は、

前記第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、

前記第2サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることを特徴とする請求項4に記載の光検出装置。

【請求項6】 前記第1信号処理回路は、

前記一方の光感应部分群に対応して設けられ、対応する一方の光感应部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第1容量素子及び第2容量素子を有し、前記一方の光感应部分群にて前記第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第1容量素子に蓄積し、前記一方の光感应部分群にて前記第2の期間にわたり蓄積された電荷に

対応した電流出力に応じて電荷を前記第 2 容量素子に蓄積する第 1 電荷蓄積回路と、

前記第 1 電荷蓄積回路の前記第 1 容量素子及び前記第 2 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 1 差分演算回路と、を含み、

前記第 2 信号処理回路は、

前記他方の光感应部分群に対応して設けられ、対応する他方の光感应部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第 3 容量素子及び第 4 容量素子を有し、前記他方の光感应部分群にて前記第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 3 容量素子に蓄積し、前記他方の光感应部分群にて前記第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を前記第 4 容量素子に蓄積する第 2 電荷蓄積回路と、

前記第 2 電荷蓄積回路の前記第 3 容量素子及び前記第 4 容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第 2 差分演算回路と、を含んでいることを特徴とする請求項 1 に記載の光検出装置。

【請求項 7】 前記第 1 信号処理回路は、

前記第 1 容量素子及び前記第 2 容量素子から当該第 1 容量素子及び第 2 容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して前記第 1 差分演算回路に出力する第 1 積分回路と、

前記第 1 差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、を更に含み、

前記第 2 信号処理回路は、

前記第 3 容量素子及び前記第 4 容量素子から当該第 3 容量素子及び第 4 容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して前記第 2 差分演算回路に出力する第 2 積分回路と、

前記第 2 差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第 2 A/D 変換回路と、を更に含んでいることを特徴とする請求項 6 に記載の光検出装置。

【請求項 8】 対象物に光を照射する光源とともに用いられ、画素が 2 次元配列された光感应領域を有する光検出装置であって、

各々入射した光の強度に応じた電流を出力する複数の光感应部分を同一面内にて隣接して配設することで 1 画素が構成され、

前記 2 次元配列における第 1 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち一方の光感应部分同士が電氣的に接続され、

前記 2 次元配列における第 2 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち他方の光感应部分同士が電氣的に接続されており、

前記第 1 の方向に配列された前記複数の画素間において電氣的に接続された一方の光感应部分群に対応して設けられ、前記光源により前記対象物に前記光が照射されている第 1 の期間における前記一方の光感应部分群からの電流出力から、前記光源により前記対象物に前記光が照射されていない第 2 の期間における前記一方の光感应部分群からの電流出力を除去して、出力する第 1 除去回路と、

前記第 1 除去回路に対応して設けられ、対応する第 1 除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第 1 積分回路と、

前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感应部分群に対応して設けられ、前記第 1 の期間における前記他方の光感应部分群からの電流出力から、前記第 2 の期間における前記他方の光感应部分群からの電流出力を除去して、出力する第 2 除去回路と、

前記第 2 除去回路に対応して設けられ、対応する第 2 除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第 2 積分回路と、を有することを特徴とする光検出装置。

【請求項 9】 前記第 1 除去回路は、

ソース端子が前記一方の光感应部分に接続され、ドレイン端子が接地された第 1 MOS トランジスタと、

一方の端子が前記第 1 MOS トランジスタのゲート端子と接続され、他方の

端子が接地された第1容量素子と、

一方の端子が前記第1MOSトランジスタのゲート端子と接続され、他方の端子が前記第1積分回路の出力と接続された第1スイッチ素子と、を含み、

前記第2除去回路は、

ソース端子が前記他方の光感応部分に接続され、ドレイン端子が接地された第2MOSトランジスタと、

一方の端子が前記第2MOSトランジスタのゲート端子と接続され、他方の端子が接地された第2容量素子と、

一方の端子が前記第2MOSトランジスタのゲート端子と接続され、他方の端子が前記第2積分回路の出力と接続された第2スイッチ素子と、を含んでいることを特徴とする請求項8に記載の光検出装置。

【請求項10】 前記第1積分回路に対応して設けられ、当該第1積分回路からの電圧出力のうちの前記第2の期間に対応した電圧出力を保持するとともに、当該第1積分回路からの電圧出力のうちの前記第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第1差分演算回路と、

前記第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、

前記第1サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、

前記第2積分回路に対応して設けられ、当該第2積分回路からの電圧出力のうちの前記第2の期間に対応した電圧出力を保持するとともに、当該第2積分回路からの電圧出力のうちの前記第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第2差分演算回路と、

前記第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、

前記第2サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を更に有することを特徴とする請求項8に記載の光検出装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、光が入射した2次元位置を検出する光検出装置に関するものである。

【0002】**【従来の技術】**

従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して2次元位置を検出するのが一般的である（例えば、特許文献1参照。）。

【0003】**【特許文献1】**

特許第2573855号公報

【0004】**【発明が解決しようとする課題】**

しかしながら、上述した従来の技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って2次元位置を検出するため、2次元位置の検出処理に時間がかかってしまう。

【0005】

本発明は上述の点に鑑みてなされたもので、2次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することを課題とする。

【0006】**【課題を解決するための手段】**

本発明に係る光検出装置は、対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感应領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感应部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感应部分のうち一方の光感应部

分同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、光源により対象物に光が照射されている第1の期間にわたり第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群にて蓄積された電荷に対応する出力と、光源により対象物に光が照射されていない第2の期間にわたり一方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルを検出する第1信号処理回路と、第1の期間にわたり第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群にて蓄積された電荷に対応する出力と、第2の期間にわたり他方の光感応部分群にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルを検出する第2信号処理回路と、を有することを特徴としている。

【0007】

本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0008】

また、本発明においては、第1信号処理回路により、上記第1の期間にわたり一方の光感応部分群にて蓄積された電荷に対応する出力と上記第2の期間にわた

り一方の光感应部分群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルが検出されることとなる。これにより、光感应領域に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2信号処理回路により、上記第1の期間にわたり他方の光感应部分群にて蓄積された電荷に対応する出力と上記第2の期間にわたり他方の光感应部分群にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルが検出されることとなる。これにより、光感应領域に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0009】

また、第1信号処理回路は、一方の光感应部分群からの電流出力を第2の方向に順次読み出すための第1シフトレジスタと、第1シフトレジスタにより順次読み出される各一方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第1積分回路と、第1積分回路からの電圧出力の変化量に応じた電圧出力を出力する第1CDS（相関二重サンプリング；Correlated Double Sampling）回路と、第1CDS回路からの電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、第1A/D変換回路から出力されたデジタル値に基づいて、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求める第1差分演算回路と、を含み、第2信号処理回路は、他方の光感应部分群からの電流出力を第1の方向に順次読み出すための第2シフトレジスタと、第2シフトレジスタにより順次読み出される各他方の光感应部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第2積分回路と、第2積分回路からの電圧出力の変化量に応じた電圧出力を出力する第2CDS回路と、第2CDS回路からの電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、第2A/D変換回路から出力されたデジタル値に基づいて、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求める第2差分演算回路と、を含んでいることが好ましい。このように構成した場合、第1積分回路及び第2積分

回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1 CDS回路及び第2 CDS回路によりノイズ誤差が解消される。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。また、第1及び第2シフトレジスタそれぞれにより一方及び他方の光感応部分群それぞれからの電流出力を順次読み出して、A/D変換して差分を求めているので、第1及び第2信号処理回路の構成の簡素化及び低コスト化を図ることができる。

【0010】

また、第1信号処理回路は、第1 A/D変換回路と第1差分演算回路との間に設けられ、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを記憶し、当該記憶したデジタル値を第1差分演算回路に出力する第1デジタルメモリを更に含み、第2信号処理回路は、第2 A/D変換回路と第2差分演算回路との間に設けられ、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを記憶し、当該記憶したデジタル値を第2差分演算回路に出力する第2デジタルメモリを更に含んでいることが好ましい。このように構成した場合、第1及び第2差分演算回路において、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分の演算を適切且つ確実に行なわせることができる。

【0011】

また、第1信号処理回路は、一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して出力する第1積分回路と、第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第1結合容量素子および第1増幅器と、第1増幅器の入出力間に並列的に設けられた第1積分容量素子と、第1積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第1スイッチ素子手段と、を有する第1 CDS回路と、第1積分回路に対応して設けられ、対応する第1積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第2結合容量素子および第2増幅器と、第1積分容量素子の容量値と等しい容量値を有し第2増幅器の入出力間に並列的に設けられた第2積分容量

素子と、第2積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第2スイッチ素子手段と、を有する第2CDS回路と、第1CDS回路及び第2CDS回路に対応して設けられ、対応する第1CDS回路の第1積分容量素子および対応する第2CDS回路の第2積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第1差分演算回路と、を含み、第2信号処理回路は、他方の光感应部分群に対応して設けられ、対応する他方の光感应部分群からの電流出力を電圧出力に変換して出力する第2積分回路と、第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第3結合容量素子および第3増幅器と、第3増幅器の入出力間に並列的に設けられた第3積分容量素子と、第3積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第3スイッチ素子手段と、を有する第3CDS回路と、第2積分回路に対応して設けられ、対応する第2積分回路からの電圧出力を入力する入力端子と出力端子との間に順に設けられた第4結合容量素子および第4増幅器と、第4積分容量素子の容量値と等しい容量値を有し第4増幅器の入出力間に並列的に設けられた第4積分容量素子と、第4積分容量素子に電圧出力の変化量に応じた電荷量を蓄積させる第4スイッチ素子手段と、を有する第4CDS回路と、第3CDS回路及び第4CDS回路に対応して設けられ、対応する第3CDS回路の第3積分容量素子および対応する第4CDS回路の第4積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第2差分演算回路と、を含んでいることが好ましい。このように構成した場合、一方の光感应部分群毎に第1差分演算回路が設けられ、他方の光感应部分群毎に第2差分演算回路が設けられることとなるので、第1及び第2の方向での輝度プロファイルを高速で得ることができる。また、第1積分回路及び第2積分回路それぞれが積分動作毎に異なるノイズばらつきを有していても、第1～第4CDS回路それぞれによりノイズ誤差が解消される。また、第1の期間に、第1及び第3CDS回路の第1及び第3積分容量素子に光源からの信号光成分及び背景光成分に応じた電荷が蓄積され、第2の期間に、第2及び第4CDS回路の第2及び第4積分容量素子に背景光成分に応じた電荷が蓄積され、そして、両者の差分が第1及び第2差分演算回路で求めら

れるので、第1及び第2差分演算回路からの電圧出力は、光源からの信号光成分のみに応じたものである。このように、光感応領域に入射する光の強度すなわち上記電圧出力の値が小さい場合であっても、輝度プロファイル検出のS/N比は優れたものとなる。

【0012】

また、第1信号処理回路は、第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、第1サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第1A/D変換回路と、を更に含み、第2信号処理回路は、第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、第2サンプルアンドホールド回路それぞれからの電圧出力を順次に入力し、その電圧出力をデジタル値に変換して、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることが好ましい。このように構成した場合、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0013】

また、第1信号処理回路は、一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第1容量素子及び第2容量素子を有し、一方の光感応部分群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第1容量素子に蓄積し、一方の光感応部分群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第2容量素子に蓄積する第1電荷蓄積回路と、第1電荷蓄積回路に対応して設けられ、第1容量素子及び第2容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第1差分演算回路と、を含み、第2信号処理回路は、他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第3容量素子及び第4容量素子を有し、他方の光感応部分群にて第1の期間にわたり蓄積された電荷に対応した電流出力に

応じて電荷を第3容量素子に蓄積し、他方の光感应部分群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第4容量素子に蓄積する第2電荷蓄積回路と、第2電荷蓄積回路に対応して設けられ、第3容量素子及び第4容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する第2差分演算回路と、を含んでいることが好ましい。このように構成した場合、第1電荷蓄積回路により、対応する一方の光感应部分群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第1容量素子に蓄積され、対応する一方の光感应部分群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第2容量素子に蓄積され、第1差分演算回路により、第1容量素子及び第2容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。また、第2電荷蓄積回路により、対応する他方の光感应部分群にて第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第3容量素子に蓄積され、対応する他方の光感应部分群にて第2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第4容量素子に蓄積され、第2差分演算回路により、第3容量素子及び第4容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。これにより、第1及び第2信号処理回路の構成の簡素化及び低コスト化を図ることができる。

【0014】

また、第1信号処理回路は、第1容量素子及び第2容量素子から当該第1容量素子及び第2容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第1差分演算回路に出力する第1積分回路と、第1差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、を更に含み、第2信号処理回路は、第3容量素子及び第4容量素子から当該第3容量素子及び第4容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第2差分演算回路に出力する第2積分回路と、第2差分演算回路からの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を更に含んでいることが好ましい。

このように構成した場合、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0015】

本発明に係る光検出装置は、対象物に光を照射する光源とともに用いられ、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電気的に接続されており、第1の方向に配列された複数の画素間において電気的に接続された一方の光感応部分群に対応して設けられ、光源により対象物に光が照射されている第1の期間における一方の光感応部分群からの電流出力から、光源により対象物に光が照射されていない第2の期間における一方の光感応部分群からの電流出力を除去して、出力する第1除去回路と、第1除去回路に対応して設けられ、対応する第1除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第1積分回路と、第2の方向に配列された複数の画素間において電気的に接続された他方の光感応部分群に対応して設けられ、第1の期間における他方の光感応部分群からの電流出力から、第2の期間における他方の光感応部分群からの電流出力を除去して、出力する第2除去回路と、第2除去回路に対応して設けられ、対応する第2除去回路からの電流出力に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧出力を出力する第2積分回路と、を有することを特徴としている。

【0016】

本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電気的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士

が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0017】

また、本発明においては、第1除去回路により、上記第1の期間における一方の光感応部分群からの電流出力から、上記第2の期間における一方の光感応部分群からの電流出力が除去されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2除去回路により、上記第1の期間における他方の光感応部分群からの電流出力から、上記第2の期間における他方の光感応部分群からの電流出力が除去されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0018】

また、第1除去回路は、ソース端子が一方の光感応部分に接続され、ドレイン端子が接地された第1MOSトランジスタと、一方の端子が第1MOSトランジスタのゲート端子と接続され、他方の端子が接地された第1容量素子と、一方の端子が第1MOSトランジスタのゲート端子と接続され、他方の端子が第1積分回路の出力と接続された第1スイッチ素子と、を含み、第2除去回路は、ソース端子が他方の光感応部分に接続され、ドレイン端子が接地された第2MOSトランジスタと、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が接地された第2容量素子と、一方の端子が第2MOSトランジスタのゲート端子と接続され、他方の端子が第2積分回路の出力と接続された第2スイ

タッチ素子と、を含んでいることが好ましい。このように構成した場合、上記第1及び第2除去回路を簡易且つ低コストにて構成することができる。

【0019】

また、第1積分回路に対応して設けられ、当該第1積分回路からの電圧出力のうちの第2の期間に対応した電圧出力を保持するとともに、当該第1積分回路からの電圧出力のうちの第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第1差分演算回路と、第1差分演算回路に対応して設けられ、対応する第1差分演算回路からの電圧出力を保持して出力する第1サンプルアンドホールド回路と、第1サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、第2積分回路に対応して設けられ、当該第2積分回路からの電圧出力のうちの第2の期間に対応した電圧出力を保持するとともに、当該第2積分回路からの電圧出力のうちの第1の期間に対応した電圧出力との差分に応じた電圧出力を出力する第2差分演算回路と、第2差分演算回路に対応して設けられ、対応する第2差分演算回路からの電圧出力を保持して出力する第2サンプルアンドホールド回路と、第2サンプルアンドホールド回路それぞれからの電圧出力を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を更に有することが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをより一層高精度にて得ることができる。また、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0020】

【発明の実施の形態】

本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータMおよびNそれぞれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。

【0021】

(第1実施形態)

図1は、本第1実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置1は、図1に示されるように、対象物に光を照射する光源3とともに用いられ、光感应領域10と、第1信号処理回路20と、第2信号処理回路30と、タイミング制御回路50とを有している。光検出装置1は、例えば、光源3が有する発光素子(LED、半導体レーザ等)5から対象物に照射されるスポット光の直接光あるいは反射光の入射位置を検出するものである。光源3は、タイミング制御回路50からの制御信号により開閉するスイッチ素子7を有しており、スイッチ素子7が閉じることにより発光素子5が点灯することとなる。

【0022】

光感应領域10は、画素11_{mn}がM行N列に2次元配列されている。1画素は、各々に入射した光の強度に応じた電流を出力する光感应部分12_{mn}(第1光感应部分)及び光感应部分13_{mn}(第2光感应部分)を同一面内にて隣接して配設することで構成されている。これにより、光感应領域10において、光感应部分12_{mn}と光感应部分13_{mn}とは2次的に混在した状態で同一面内にて配列されることとなる。

【0023】

2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, ..., 11_{M1}～11_{MN}にわたって、当該各画素11_{mn}を構成する複数の光感应部分12_{mn}, 13_{mn}のうち一方の光感应部分12_{mn}同士(たとえば、一方の光感应部分12₁₁～12_{1N})が互いに電氣的に接続されている。また、2次元配列における第2の方向に配列された複数の画素11₁₁～11_{M1}, 11₁₂～11_{M2}, ..., 11_{1N}～11_{MN}にわたって、当該各画素11_{mn}を構成する複数の光感应部分12_{mn}, 13_{mn}のうち他方の光感应部分13_{mn}同士(たとえば、他方の光感应部分13₁₁～13_{M1})が互いに電氣的に接続されている。

【0024】

ここで、図2及び図3に基づいて、光感应領域10の構成について説明する。図2は、光検出装置に含まれる光感应領域の一例を示す要部拡大平面図であり、

図3は、図2のIII-III線に沿った断面図である。なお、図2においては、保護層48の図示を省略している。

【0025】

光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41、42とを含んでいる。これにより、各光感応部分12_{mn}、13_{mn}は半導体基板40部分と一組の第2導電型半導体領域41、42とを含み、フォトダイオードが構成されることとなる。第2導電型半導体領域41、42は、図2に示されるように、光入射方向から見て略三角形形状を呈しており、1画素において2つの領域41、42が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、図2から分かるように、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第3の方向及び第4の方向において交互に配列されている。

【0026】

半導体基板40と領域41、42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたスルーホールを介して第1配線44が一方の領域41に電氣的に接続されている。また、第1絶縁層43に形成されたスルーホールを介して電極45が他方の領域42に電氣的に接続されている。

【0027】

第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたスルーホールを介して第2配線47が電極45に電氣的に接続されている。これにより、他方の領域42は、電極45を介して第2配線47に電氣的に接続されることになる。

【0028】

第2絶縁層46の上には保護層48が形成されている。第1絶縁層43、第2

絶縁層 46 及び保護層 48 は、 SiO_2 又は SiN 等からなる。第 1 配線 44、電極 45 及び第 2 配線 47 は、Al 等の金属からなる。

【0029】

第 1 配線 44 は、各画素 11_{mn} における一方の領域 41 を第 1 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 1 の方向に延びて設けられている。このように、各画素 11_{mn} における一方の領域 41 を第 1 配線 44 で接続することにより、2 次元配列における第 1 の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ にわたって一方の光感应部分 12_{mn} 同士（たとえば、一方の光感应部分 $12_{11} \sim 12_{1N}$ ）が電氣的に接続されて、光感应領域 10 において第 1 の方向に長く延びる光感应部が構成される。この第 1 の方向に長く延びる光感应部は M 列形成されることになる。

【0030】

第 2 配線 47 は、各画素 11_{mn} における他方の領域 42 を第 2 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 2 の方向に延びて設けられている。このように、各画素 11_{mn} における他方の領域 42 を第 2 配線 47 で接続することにより、2 次元配列における第 2 の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって他方の光感应部分 13_{mn} 同士（たとえば、他方の光感应部分 $13_{11} \sim 13_{M1}$ ）が電氣的に接続されて、光感应領域 10 において第 2 の方向に長く延びる光感应部が構成される。この第 2 の方向に長く延びる光感应部は N 行形成されることになる。

【0031】

また、光感应領域 10 においては、上述した第 1 の方向に長く延びる M 列の光感应部と第 2 の方向に長く延びる N 行の光感应部とが同一面上に形成されることになる。

【0032】

領域 41, 42 の形状は、図 2 に示された略三角形状のものに限られず、図 4 ~ 図 8 に示されるように、他の形状であってもよい。

【0033】

図 4 に示された第 2 導電型半導体領域（光感应部分）は、光入射方向から見て

長方形形状を呈しており、1画素において2つの領域41、42が互いに長辺が隣接して形成されている。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第2の方向において交互に配列されている。図4に示されるように、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっているとしても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

【0034】

図5に示された第2導電型半導体領域（光感応部分）は、略三角形形状を呈した一方の領域41が第1の方向に連続して形成されている。他方の領域42は略三角形形状を呈しており、各画素11_{mn}間で独立して形成されている。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第2の方向において交互に配列されている。なお、一方の領域41を第1の方向に連続して形成した場合、必ずしも第1配線44を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第1配線44にて各領域41を電氣的に接続するのが好ましい。

【0035】

図6に示された第2導電型半導体領域（光感応部分）は、1画素あたり4つの領域41a、41b、42a、42bからなり、対角に位置する領域を対として、第1配線44あるいは第2配線47にて電氣的に接続されている。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第3の方向及び第4の方向において交互に配列されている。

【0036】

図7に示された第2導電型半導体領域（光感応部分）は、2つの櫛状の領域41、42がお互い噛み合うように形成されている。

【0037】

図8に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て

4角形以上の多角形状（たとえば8角形状）を呈しており、1画素において1辺が隣接して形成されている。そして、領域41と領域42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第3の方向及び第4の方向において交互に配列されている。

【0038】

続いて、図9及び図10に基づいて、第1信号処理回路20及び第2信号処理回路30の構成について説明する。図9は、第1信号処理回路を示す概略構成図であり、図10は、第2信号処理回路を示す概略構成図である。

【0039】

第1信号処理回路20は、光源3により対象物にスポット光が照射されている第1の期間にわたり第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, ..., 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分12_{mn}群（一方の第2導電型半導体領域41からなり、第1の方向に長く延びるM列の光感応部）にて蓄積された電荷に対応する出力と、光源3により対象物にスポット光が照射されていない第2の期間にわたり一方の光感応部分12_{mn}群にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルを検出する。第1信号処理回路20は、図9に示されるように、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, ..., 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分12_{mn}群に対応して設けられた第1スイッチ素子21と、第1の方向に配列された複数の画素11₁₁～11_{1N}, 11₂₁～11_{2N}, ..., 11_{M1}～11_{MN}間において電氣的に接続された一方の光感応部分12_{mn}群からの電流を第2の方向に順次読み出すための第1シフトレジスタ22と、第1シフトレジスタ22により順次読み出される各一方の光感応部分12_{mn}群からの電流出力を順次入力し、その電流出力を電圧出力に変換して出力する第1積分回路23とを有している。また、第1信号処理回路20は、第1CDS回路24、第1A/D変換回路25、第1デジタルメモリ26、第1差分演算回路27とを有している。

【0040】

第1スイッチ素子21は、第1シフトレジスタ22から出力される信号 shift (H_m) により制御されて順次閉じられる。第1スイッチ素子21を閉じることにより、第1の方向に配列された複数の画素 11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分 12_{mn}群に蓄積された電荷が電流出力となって、第1配線44及び第1スイッチ素子21を介して第1積分回路23に出力される。第1シフトレジスタ22は、タイミング制御回路50から出力される信号 Φ_{H1} , Φ_{H2} , Φ_{Hst1} によりその動作が制御されて、第1スイッチ素子21を順次閉じる。

【0041】

第1積分回路23は、図11に示されるように、第1の方向に配列された複数の 11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分 12_{mn}群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプA₁と、アンプA₁の入力端子に一方の端子が接続され、アンプA₁の出力端子に他方の端子が接続された容量素子C₁と、アンプA₁の入力端子に一方の端子が接続され、アンプA₁の出力端子に他方の端子が接続され、タイミング制御回路50から出力されるリセット信号 Φ_{Hreset} が有意の場合には「ON」状態となり、リセット信号 Φ_{Hreset} が非有意の場合には「OFF」状態となるスイッチ素子SW₁とを有している。

【0042】

第1積分回路23は、スイッチ素子SW₁が「ON」状態であるときには、容量素子C₁を放電して初期化する。一方、第1積分回路23は、スイッチ素子SW₁が「OFF」状態であるときには、第1の方向に配列された複数の画素 11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分 12_{mn}群から入力端子に入力した電荷を容量素子C₁に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。

【0043】

ここで、図13に基づいて、第1スイッチ素子21、第1シフトレジスタ22、第1積分回路23との動作について説明する。図13は、第1信号処理回路に

における第1スイッチ素子、第1シフトレジスタ及び第1積分回路の動作を説明するためのタイミングチャートである。

【0044】

図13において、タイミング制御回路50から第1シフトレジスタ22にスタート信号 Φ_{Hst1} が入力されると、信号 Φ_{H2} の立ち上がりから信号 Φ_{H1} の立下りまでの期間に対応したパルス幅を有する信号 shift (H_m) が順次出力される。第1シフトレジスタ22から対応する第1スイッチ素子21に shift (H_m) が出力されると、第1スイッチ素子21が順次閉じ、対応する一方の光感応部分12_{mn}群に蓄積された電荷が電流出力となって第1積分回路23に順次出力される。

【0045】

第1積分回路23には、タイミング制御回路50からリセット信号 Φ_{Hreset} が入力されており、リセット信号 Φ_{Hreset} が「OFF」状態の期間、対応する一方の光感応部分12_{mn}群に蓄積された電荷が容量素子 C_1 に蓄積されて、蓄積された電荷量に応じた電圧出力が第1積分回路23から順次出力される。なお、第1積分回路23は、リセット信号 Φ_{Hreset} が「ON」状態のときにはスイッチ素子 SW_1 を閉じて容量素子 C_1 を初期化する。

【0046】

このように、第1積分回路23からは、第1の方向に配列された複数の画素11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分12_{mn}群にて蓄積された電荷に対応した電圧出力が、対応する一方の光感応部分12_{mn}群毎に順次時系列データとして出力される。この時系列データは、第2の方向での輝度プロファイル（アナログデータ）を示すものである。

【0047】

再び、図9を参照する。第1CDS回路24は、第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第1CDS回路24は、図12に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_{21} 、結合容量素子 C_{21} およびアンプ A_2 を有している。また、アンプ A_2 の入出力間にスイッチ

素子 SW_{22} および積分容量素子 C_{22} が互いに並列的に接続されている。スイッチ素子 SW_{22} および SW_{21} は、積分容量素子 C_{22} に電荷を蓄積させるためのスイッチ素子手段として作用する。第 1 CDS 回路 24 は、スイッチ素子 SW_{22} が閉じているときには、積分容量素子 C_{22} を放電して初期化する。スイッチ素子 SW_{22} が開きスイッチ素子 SW_{21} が閉じているときには、入力端子から結合容量素子 C_{21} を経て入力した電荷を積分容量素子 C_{22} に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子 SW_{21} は、タイミング制御回路 50 から出力される CSW_{21} 信号に基づいて開閉する。また、スイッチ素子 SW_{22} は、タイミング制御回路 50 から出力される $Clamp1$ 信号に基づいて開閉する。

【0048】

第 1 A/D 変換回路 25 は、第 1 CDS 回路 24 からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第 1 A/D 変換回路 25 には、タイミング制御回路 50 からクロックパルス信号、スタート信号 Φ_{Hst1} が入力されており、これらの信号に基づいて動作する。第 1 A/D 変換回路 25 から出力されるデジタル値は、第 2 の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0049】

第 1 デジタルメモリ 26 は、第 1 A/D 変換回路 25 から出力されたデジタル値のうちの第 1 の期間に対応したデジタル値（上記第 1 の期間にわたり一方の光感応部分 12_{mn} 群にて蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力を A/D 変換した値）と、同じく第 2 の期間に対応したデジタル値（上記第 2 の期間にわたり一方の光感応部分 12_{mn} 群にて蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力を A/D 変換した値）とを記憶し、当該記憶したデジタル値を第 1 差分演算回路 27 に出力する。第 1 デジタルメモリ 26 には、タイミング制御回路 50 からスタート信号 Φ_{Hst1} 、 Φ_{Hst2} が入力されており、これらの信号に基づいて動作する。

【0050】

上記第 1 の期間は、光源 3 が点灯している、即ちタイミング制御回路 50 から

の制御信号に基づいてスイッチ素子 7 が閉じられ、発光素子 5 からスポット光が照射されている期間である。したがって、第 1 A/D 変換回路 25 から出力されたデジタル値のうちの第 1 の期間に対応したデジタル値は、発光素子 5 からのスポット光成分（信号光成分）と背景光成分（例えば、蛍光灯や太陽等からの光）とを含んだ第 2 の方向での輝度プロファイルを表す出力となっている。

【0051】

上記第 2 の期間は、光源 3 が点灯していない、即ちタイミング制御回路 50 からの制御信号に基づいてスイッチ素子 7 が開かれ、発光素子 5 からスポット光が照射されていない期間である。したがって、第 1 A/D 変換回路 25 から出力されたデジタル値のうちの第 1 の期間に対応したデジタル値は、背景光成分（例えば、蛍光灯や太陽等からの光）のみを含んだ第 2 の方向での輝度プロファイルを表す出力となっている。

【0052】

第 1 差分演算回路 27 は、第 1 デジタルメモリ 26 から出力された第 1 の期間に対応したデジタル値と第 2 の期間に対応したデジタル値との差分を求め、当該差分に対応するデジタル値を出力する。したがって、第 1 差分演算回路 27 から出力されるデジタル値は、背景光成分が除去され、スポット光成分のみを含んだ第 2 の方向での輝度プロファイルを表す出力となる。

【0053】

ここで、図 15 に基づいて、第 1 差分演算回路 27 の動作を説明する。図 15 は、第 1 信号処理回路における第 1 差分演算回路の動作を説明するためのタイミングチャートである。なお、図 15 においては、説明のため、第 1 A/D 変換回路及び第 1 差分演算回路のデジタル出力をアナログ出力の形態で示している。

【0054】

タイミング制御回路 50 からの制御信号 LED が「ハイ」である所定の期間にわたりスイッチ素子 7 が閉じられると、当該所定の期間に対応した期間だけ発光素子 5 からスポット光が照射される。そして、スタート信号 Φ_{Hst1} に同期して、上述したように、第 1 積分回路 23 から電圧出力が出力され、第 1 A/D 変換回路 25 からデジタル値が順次出力される。第 1 A/D 変換回路 25 から出力され

たデジタル値は、上記第1及び第2の期間に対応するデジタル値ごとに、第1デジタルメモリ26に記憶される。第1差分演算回路27は、タイミング制御回路50から出力されたスタート信号 Φ_{Hst2} に同期して、第1デジタルメモリ26に記憶されている第1の期間に対応したデジタル値と第2の期間に対応したデジタル値とを読み出し、その差分を求め、差分に応じたデジタル値を出力する。

【0055】

第2信号処理回路30は、光源3により対象物にスポット光が照射されている第1の期間にわたり第2の方向に配列された複数の $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 13_{mn} 群（他方の第2導電型半導体領域42からなり、第2の方向に長く延びるN行の光感応部）にて蓄積された電荷に対応する出力と、光源3により対象物にスポット光が照射されていない第2の期間にわたり他方の光感応部分 13_{mn} 群にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルを検出する。第2信号処理回路30は、図10に示されるように、第2の方向に配列された複数の $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 13_{mn} 群に対応して設けられた第2スイッチ素子31と、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 13_{mn} 群からの電流を第1の方向に順次読み出すための第2シフトレジスタ32と、第2シフトレジスタ32により順次読み出される各他方の光感応部分 13_{mn} 群からの電流を順次入力し、その電流を電圧に変換して出力する第2積分回路33とを有している。また、第2信号処理回路30は、第2CDS回路34、第2A/D変換回路35、第2デジタルメモリ36、第2差分演算回路37とを有している。

【0056】

第2スイッチ素子31は、第2シフトレジスタ32から出力される信号 $s_{hif t}$ (V_N)により制御されて順次閉じられる。第2スイッチ素子31を閉じることにより、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分1

3_{mn}群に蓄積された電荷が電流出力となって、第2配線47及び第2スイッチ素子31を介して第2積分回路33に出力される。第2シフトレジスタ32は、タイミング制御回路50から出力される信号 Φ_{V1} 、 Φ_{V2} 、 Φ_{Vst1} によりその動作が制御されて、第2スイッチ素子31を順次閉じる。

【0057】

第2積分回路33は、図11に示された第1積分回路23と同等の構成を有し、第2の方向に配列された複数の画素11₁₁~11_{M1}、11₁₂~11_{M2}、・・・、11_{1N}~11_{MN}間において電氣的に接続された他方の光感應部分13_{mn}群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプと、アンプの入力端子に一方の端子が接続され、アンプの出力端子に他方の端子が接続された容量素子と、アンプの入力端子に一方の端子が接続され、アンプの出力端子に他方の端子が接続され、タイミング制御回路50から出力されるリセット信号 Φ_{Vreset} が有意の場合には「ON」状態となり、リセット信号 Φ_{Vreset} が非有意の場合には「OFF」状態となるスイッチ素子とを有している。

【0058】

第2積分回路33は、スイッチ素子が「ON」状態であるときには、容量素子を放電して初期化する。一方、第2積分回路33は、スイッチ素子が「OFF」状態であるときには、第2の方向に配列された複数の画素11₁₁~11_{M1}、11₁₂~11_{M2}、・・・、11_{1N}~11_{MN}間において電氣的に接続された他方の光感應部分13_{mn}群から入力端子に入力した電荷を容量素子に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。

【0059】

ここで、図14に基づいて、第2スイッチ素子31、第2シフトレジスタ32、第2積分回路33との動作について説明する。図14は、第2信号処理回路における第2スイッチ素子、第2シフトレジスタ及び第2積分回路の動作を説明するためのタイミングチャートである。

【0060】

図14において、タイミング制御回路50から第2シフトレジスタ32にスタート信号 Φ_{Vst1} が入力されると、信号 Φ_{V2} の立ち上がりから信号 Φ_{V1} の立下りま

での期間に対応したパルス幅を有する信号 $shift(V_N)$ が順次出力される。第2シフトレジスタ32から対応する第2スイッチ素子31に $shift(V_N)$ が出力されると、第2スイッチ素子31が順次閉じ、対応する他方の光感应部分13_{mn}群に蓄積された電荷が電流出力となって第2積分回路33に順次出力される。

【0061】

第2積分回路33には、タイミング制御回路50からリセット信号 ΦV_{reset} が入力されており、リセット信号 ΦV_{reset} が「OFF」状態の期間、対応する他方の光感应部分13_{mn}群に蓄積された電荷が容量素子に蓄積されて、蓄積された電荷量に応じた電圧出力が第2積分回路33から順次出力される。なお、第2積分回路33は、リセット信号 ΦV_{reset} が「ON」状態のときにはスイッチ素子を閉じて容量素子を初期化する。

【0062】

このように、第2積分回路33からは、第2の方向に配列された複数の画素11₁₁~11_{M1}, 11₁₂~11_{M2}, ..., 11_{1N}~11_{MN}間において電氣的に接続された他方の光感应部分13_{mn}群にて蓄積されて電荷（電流出力）に対応した電圧出力が、対応する他方の光感应部分13_{mn}群毎に順次時系列データとして出力される。この時系列データは、第1の方向での輝度プロファイル（アナログデータ）を示すものである。

【0063】

再び、図10を参照する。第2CDS回路34は、第2積分回路33からの電圧出力の変化量に応じた電圧出力を出力する。第2CDS回路34は、図12に示された第1CDS回路24と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、結合容量素子およびアンプを有している。また、アンプの入出力間にスイッチ素子および積分容量素子が互いに並列的に接続されている。

【0064】

第2A/D変換回路35は、第2CDS回路34からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2A/D変換回路35には、タイミング制御回路50からクロックパルス

信号、スタート信号 Φ_{Vst1} が入力されており、これらの信号に基づいて動作する。第2 A/D変換回路35から出力されるデジタル値は、第1の方向での輝度プロフィール（デジタルデータ）を表す出力となる。

【0065】

第2 デジタルメモリ36は、第2 A/D変換回路35から出力されたデジタル値のうちの第1の期間に対応したデジタル値（上記第1の期間にわたり他方の光感応部分13_{mn}群にて蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力をA/D変換した値）と、同じく第2の期間に対応したデジタル値（上記第2の期間にわたり他方の光感応部分13_{mn}群にて蓄積された電荷に対応する電流出力を電圧出力（アナログ値）とし、当該電圧出力をA/D変換した値）とを記憶し、当該記憶したデジタル値を第2 差分演算回路37に出力する。第2 デジタルメモリ36には、タイミング制御回路50からスタート信号 Φ_{Vst1} 、 Φ_{Vst2} が入力されており、これらの信号に基づいて動作する。

【0066】

第2 差分演算回路37は、第2 デジタルメモリ36から出力された第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求め、当該差分に対応するデジタル値を出力する。したがって、第2 差分演算回路37から出力されるデジタル値は、背景光成分が除去され、スポット光成分のみを含んだ第1の方向での輝度プロフィールを表す出力となる。

【0067】

ここで、図16に基づいて、第2 差分演算回路37の動作を説明する。図16は、第2 信号処理回路における第2 差分演算回路の動作を説明するためのタイミングチャートである。なお、図16においては、説明のため、第2 A/D変換回路及び第2 差分演算回路のデジタル出力をアナログ出力の形態で示している。

【0068】

タイミング制御回路50からの制御信号LEDが「ハイ」である所定の期間にわたりスイッチ素子7が閉じられると、当該所定の期間に対応した期間だけ発光素子5からスポット光が照射される。そして、スタート信号 Φ_{Vst1} に同期して、上述したように、第2 積分回路33から電圧出力が出力され、第2 A/D変換回

路 35 からデジタル値が順次出力される。第 2 A/D 変換回路 35 から出力されたデジタル値は、上記第 1 及び第 2 の期間に対応するデジタル値ごとに、第 2 デジタルメモリ 36 に記憶される。第 2 差分演算回路 37 は、タイミング制御回路 50 から出力されたスタート信号 Φ_{Vst2} に同期して、第 2 デジタルメモリ 36 に記憶されている第 1 の期間に対応したデジタル値と第 2 の期間に対応したデジタル値とを読み出し、その差分を求め、差分に応じたデジタル値を出力する。

【0069】

以上のように、本第 1 実施形態の光検出装置 1 においては、1 つの画素 11_{mn} に入射した光は当該画素 11_{mn} を構成する複数の光感応部分 12_{mn} , 13_{mn} それぞれに、光強度に応じた電流が光感応部分 12_{mn} , 13_{mn} 毎に出力される。そして、一方の光感応部分 12_{mn} 同士が 2 次元配列における第 1 の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ にわたって電氣的に接続されているので、一方の光感応部分 12_{mn} から出力された電流は第 1 の方向に送られる。また、他方の光感応部分 13_{mn} 同士が 2 次元配列における第 2 の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって電氣的に接続されているので、他方の光感応部分 13_{mn} から出力された電流は第 2 の方向に送られる。このように、一方の光感応部分 12_{mn} から出力された電流は第 1 の方向に送られるとともに、他方の光感応部分 13_{mn} から出力された電流は第 2 の方向に送られることから、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1 画素に複数の光感応部分 12_{mn} , 13_{mn} を配設するという極めて簡素な構成にて、入射した光の 2 次元位置を高速に検出することができる。

【0070】

また、本第 1 実施形態の光検出装置 1 において、各光感応部分 12_{mn} , 13_{mn} は、半導体基板 40 部分と第 2 導電型半導体領域 41, 42 とを含み、第 2 導電型半導体領域 41, 42 は、光入射方向から見て略三角形状を呈しており、1 画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分 12_{mn} , 13_{mn} を 1 画素内に配設する際に、各光感応部分 12_{mn} , 13_{mn} (第

2 導電型半導体領域 4 1, 4 2) の面積が減少するのを抑制することができる。

【0071】

また、本第 1 実施形態の光検出装置 1 において、第 2 導電型半導体領域 4 1, 4 2 は、光入射方向から見て略長形状を呈しており、1 画素において長辺が隣接して形成されている。これにより、複数の光感应部分 1 2_{mn}, 1 3_{mn} を 1 画素内に配設する際に、各光感应部分 1 2_{mn}, 1 3_{mn} (第 2 導電型半導体領域 4 1, 4 2) の面積が減少するのを抑制することができる。

【0072】

また、本第 1 実施形態の光検出装置 1 において、第 2 導電型半導体領域 4 1, 4 2 は、光入射方向から見て 4 角形以上の多角形状を呈しており、1 画素において 1 辺が隣接して形成されている。これにより、複数の光感应部分 1 2_{mn}, 1 3_{mn} (第 2 導電型半導体領域 4 1, 4 2) を 1 画素内に配設する際に、各光感应部分 1 2_{mn}, 1 3_{mn} の面積が減少するのを抑制することができる。また、各光感应部分 1 2_{mn}, 1 3_{mn} の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4 角形以上の多角形状として、菱形形状を採用してもよい。

【0073】

また、本第 1 実施形態の光検出装置 1 において、第 2 導電型半導体領域 4 1, 4 2 とは、1 画素において第 1 の方向と第 2 の方向とに交差する第 3 の方向に並設されている。これにより、一方の光感应部分 1 2_{mn} 群及び他方の光感应部分 1 3_{mn} 群において、各光感应部分 1 2_{mn}, 1 3_{mn} 群の中心部分に対応する光感应部分 1 2_{mn}, 1 3_{mn} が集中することとなり、解像度を向上することができる。

【0074】

また、本第 1 実施形態の光検出装置 1 において、第 2 導電型半導体領域 4 1, 4 2 は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感应部分 1 2_{mn}, 1 3_{mn} (第 2 導電型半導体領域 4 1, 4 2) を 1 画素内に配設する際に、各光感应部分 1 2_{mn}, 1 3_{mn} の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第 2 導電型半導体領域 4 1, 4 2 (光感应部分 1 2_{mn}, 1 3_{mn}) を形成するために用いるマスクが位置ずれした

ことによる不均一性が抑制できる。

【0075】

また、本第1実施形態の光検出装置1においては、第1配線44が、画素11_{mn}間を第1の方向に延びて設けられており、第2配線47が、画素11_{mn}間を第2の方向に延びて設けられている。これにより、それぞれの配線44、47により光感应部分12_{mn}、13_{mn}（第2導電型半導体領域41、42）への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0076】

また、本第1実施形態の光検出装置1においては、第1信号処理回路20により、上記第1の期間にわたり一方の光感应部分群12_{mn}にて蓄積された電荷に対応する出力と上記第2の期間にわたり一方の光感应部分群12_{mn}にて蓄積された電荷に対応する出力との差分に基づいて、第2の方向での輝度プロファイルが検出されることとなる。これにより、光感应領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2信号処理回路30により、上記第1の期間にわたり他方の光感应部分群13_{mn}にて蓄積された電荷に対応する出力と上記第2の期間にわたり他方の光感应部分群13_{mn}にて蓄積された電荷に対応する出力との差分に基づいて、第1の方向での輝度プロファイルが検出されることとなる。これにより、光感应領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、光感应領域10に入射した光の2次元位置を極めて精度良く検出することができる。

【0077】

また、本第1実施形態の光検出装置1において、第1信号処理回路20は、第1シフトレジスタ22と、第1積分回路23と、第1CDS回路24と、第1A/D変換回路25と、第1差分演算回路27とを含み、第2信号処理回路30は、第2シフトレジスタ32と、第2積分回路33と、第2CDS回路34と、第2A/D変換回路35と、第2差分演算回路37とを含んでいる。これにより、第1積分回路23及び第2積分回路33それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1CDS回路24及び第2CDS回路34によりノ

イズ誤差が解消される。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。また、第1及び第2シフトレジスタ22, 32それぞれにより一方及び他方の光感应部分群12_{mn}, 13_{mn}それぞれからの電流出力を順次読み出して、A/D変換して差分を求めているので、第1及び第2信号処理回路20, 30の構成の簡素化及び低コスト化を図ることができる。

【0078】

また、本第1実施形態の光検出装置1において、第1信号処理回路20は、第1A/D変換回路25と第1差分演算回路27との間に設けられた第1デジタルメモリ26を更に含み、第2信号処理回路30は、第2A/D変換回路35と第2差分演算回路37との間に設けられた第2デジタルメモリ36を更に含んでいる。これにより、第1及び第2差分演算回路27, 37において、第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分の演算を適切且つ確実に行なわせることができる。

【0079】

(第2実施形態)

次に、図17～図22に基づいて、第2実施形態に係る光検出装置について説明する。第1実施形態の光検出装置と第2実施形態の光検出装置とでは、第1信号処理回路20及び第2信号処理回路30の構成に関して相違する。

【0080】

第2実施形態に係る光検出装置の第1信号処理回路20は、図17に示されるように、第1積分回路23と、第1CDS回路121と、第2CDS回路122と、第1差分演算回路130と、第1サンプルアンドホールド回路（以下、第1S/H回路と称する）140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1A/D変換回路170とを有している。図17は、第1信号処理回路を示す概略構成図である。

【0081】

第1積分回路23は、一方の光感应部分12_{mn}群に対応して設けられ、対応する一方の光感应部分12_{mn}群からの電流出力を電圧出力に変換して、当該電圧出

力を出力する。

【0082】

第1 CDS回路121は、第1積分回路23に対応して設けられ、対応する第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第1 CDS回路121は、図19に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_{211} 、第1結合容量素子 C_{211} および第1アンプ（増幅器） A_{21} を有している。また、アンプ A_{21} の入出力間にスイッチ素子 SW_{212} および第1積分容量素子 C_{212} が互いに並列的に接続されている。スイッチ素子 SW_{211} および SW_{212} は、第1積分容量素子 C_{212} に電荷を蓄積させるための第1スイッチ素子手段として作用する。第1 CDS回路121は、スイッチ素子 SW_{212} が閉じているときには、第1積分容量素子 C_{212} を放電して初期化する。スイッチ素子 SW_{212} が開きスイッチ素子 SW_{211} が閉じているときには、入力端子から第1結合容量素子 C_{211} を経て入力した第1の電荷を第1積分容量素子 C_{212} に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子 SW_{211} は、タイミング制御回路50から出力される CSW_{211} 信号に基づいて開閉する。また、スイッチ素子 SW_{212} は、タイミング制御回路50から出力される $Clamp_{11}$ 信号に基づいて開閉する。

【0083】

第2 CDS回路122は、第1積分回路23に対応して設けられ、対応する第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第2 CDS回路122は、図19に示されるように、入力端子と出力端子との間に順にスイッチ素子 SW_{221} 、第2結合容量素子 C_{221} および第2アンプ A_{22} を有している。また、アンプ A_{22} の入出力間にスイッチ素子 SW_{222} および第2積分容量素子 C_{222} が互いに並列的に接続されている。スイッチ素子 SW_{221} および SW_{222} は、第2積分容量素子 C_{222} に電荷を蓄積させるための第2スイッチ素子手段として作用する。第2 CDS回路122の第2積分容量素子 C_{222} の容量値は、第1 CDS回路121の第2積分容量素子 C_{212} の容量値と等しい。第2 CDS回路122は、スイッチ素子 SW_{222} が閉じているときには、第2積分容量素子 C_{222} を放電して初期化する。スイッチ素子 SW_{222} が開きスイッチ素子 SW_{221} が閉じ

ているときには、入力端子から第2結合容量素子 C_{221} を経て入力した第2の電荷を第2積分容量素子 C_{222} に蓄積して、その蓄積された電荷に応じた電圧出力を出力端子から出力する。スイッチ素子 SW_{221} は、タイミング制御回路50から出力される CSW_{221} 信号に基づいて開閉する。また、スイッチ素子 SW_{222} は、タイミング制御回路50から出力される $Clamp2$ 信号に基づいて開閉する。

【0084】

第1差分演算回路130は、第1CDS回路121及び第2CDS回路122に対応して設けられ、対応する第1CDS回路121の第1積分容量素子 C_{212} および対応する第2CDS回路122の第2積分容量素子 C_{222} それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第1差分演算回路130は、図19に示されるように、2つの入力端子130aおよび130bならびに1つの出力端子130cを有しており、第1の入力端子130aが第1CDS回路121の出力端子に接続され、第2の入力端子130bが第2CDS回路122の出力端子に接続されている。第1差分演算回路130は、スイッチ素子 $SW_{31} \sim SW_{33}$ 、容量素子 C_3 およびアンプ A_3 を備える。第1の入力端子130aと出力端子130cとの間に順に、スイッチ素子 SW_{31} 、容量素子 C_3 およびアンプ A_3 が配され、第2の入力端子130bと出力端子130cとの間に順に、スイッチ素子 SW_{32} 、容量素子 C_3 およびアンプ A_3 が配されている。また、容量素子 C_3 とアンプ A_3 との接続点がスイッチ素子 SW_{33} を介して接地されている。

【0085】

この第1差分演算回路130は、スイッチ素子 SW_{33} を閉じているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ閉じることで、第1CDS回路121からの電圧出力を入力して、容量素子 C_3 に電荷 Q_1 だけ充電する。また、第1差分演算回路130は、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第2CDS回路122からの電圧出力を入力して、容量素子 C_3 から電荷 Q_2 を放電する。このようにして、第1差分演算回路130は、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_3 に蓄積して、その蓄積された電

荷 (Q1-Q2) に応じた電圧出力をアンプA₃から出力する。スイッチ素子SW₃₁は、タイミング制御回路50から出力されるSample1信号に基づいて開閉する。スイッチ素子SW₃₂は、タイミング制御回路50から出力されるSample2信号に基づいて開閉する。また、スイッチ素子SW₃₃は、タイミング制御回路50から出力されるClamp3信号に基づいて開閉する。

【0086】

第1 S/H回路140は、第1差分演算回路130に対応して設けられ、対応する第1差分演算回路130からの電圧出力を保持して出力する。第1 S/H回路140は、図20に示されるように、入力端子と出力端子との間に順にスイッチ素子SW₄およびアンプA₄を有し、スイッチ素子SW₄とアンプA₄との接続点が容量素子C₄を介して接地されている。第1 S/H回路140は、スイッチ素子SW₄が閉じているときに第1差分演算回路130からの電圧出力を容量素子C₄に記憶し、スイッチ素子SW₄が開いた後も、容量素子C₄の電圧出力を保持して、その電圧出力をアンプA₄を介して出力する。スイッチ素子SW₄は、タイミング制御回路50から出力されるHold信号に基づいて開閉する。第1スイッチ素子160は、第1シフトレジスタ150により制御されて順次に関き、第1 S/H回路140からの電圧出力を第1 A/D変換回路170に順次に入力させる。

【0087】

第1 A/D変換回路170は、第1 S/H回路140それぞれからの電圧出力(アナログ値)を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第1 A/D変換回路170から出力されるデジタル値は、第2の方向での輝度プロファイル(デジタルデータ)を表す出力となる。

【0088】

第2実施形態に係る光検出装置の第2信号処理回路30は、図18に示されるように、第2積分回路33と、第3 CDS回路221と、第4 CDS回路222と、第2差分演算回路230と、第2サンプルアンドホールド回路(以下、第2 S/H回路と称する)240と、第2シフトレジスタ250と、第2スイッチ素子260と、第2 A/D変換回路270とを有している。図18は、第2信号処

理回路を示す概略構成図である。

【0089】

第2積分回路33は、他方の光感应部分13_{mn}群に対応して設けられ、対応する他方の光感应部分13_{mn}群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。

【0090】

第3CDS回路221は、第2積分回路33に対応して設けられ、対応する第2積分回路33からの電圧出力の変化量に応じた電圧出力を出力する。第3CDS回路221は、図19に示された第1CDS回路121と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、第3結合容量素子および第3アンプを有している。また、第3アンプの入出力間にスイッチ素子および第3積分容量素子が互いに並列的に接続されている。各スイッチ素子は、第3積分容量素子に電荷を蓄積させるための第3スイッチ素子手段として作用する。

【0091】

第4CDS回路222は、第2積分回路33に対応して設けられ、対応する第2積分回路33からの電圧出力の変化量に応じた電圧出力を出力する。第4CDS回路222は、図19に示された第2CDS回路122と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子、第4結合容量素子および第4アンプを有している。また、第4アンプの入出力間にスイッチ素子および第4積分容量素子が互いに並列的に接続されている。各スイッチ素子は、第4積分容量素子に電荷を蓄積させるための第4スイッチ素子手段として作用する。

【0092】

第2差分演算回路230は、第3CDS回路221及び第4CDS回路222に対応して設けられ、対応する第3CDS回路221の第3積分容量素子および対応する第4CDS回路221の第4積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第2差分演算回路230は、図19に示された第1差分演算回路130と同等の構成を有し、スイッチ素子、容量素子およびアンプを備えている。

【0093】

第2 S/H回路240は、第2差分演算回路230に対応して設けられ、対応する第2差分演算回路230から出力される電圧を保持して出力する。第2 S/H回路240は、図20に示された第1 S/H回路140と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子およびアンプを有し、スイッチ素子とアンプとの接続点が容量素子を介して接地されている。第2スイッチ素子260は、第2シフトレジスタ250により制御されて順次に関き、第2 S/H回路240からの電圧出力を第2 A/D変換回路270に順次に入力させる。

【0094】

第2 A/D変換回路270は、第2 S/H回路240それぞれからの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2 A/D変換回路270から出力されるデジタル値は、第1の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0095】

続いて、図21に基づいて、第2実施形態の光検出装置における第1信号処理回路20及び第2信号処理回路30の動作について説明する。図21は、第1信号処理回路の動作を説明するためのタイミングチャートである。以下に説明する動作は、背景光成分を除去して、発光素子5から対象物に投光されたスポット光成分（信号光成分）のみに関する光検出信号を出力するものである。

【0096】

時刻 t_1 に、Reset信号が論理Hとなることにより、第1積分回路23のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp1信号も論理Hとなることにより、第1CDS回路121のスイッチ素子 SW_{212} が閉じて、第1CDS回路121におけるCDS動作が停止される。

【0097】

時刻 t_2 に、Reset信号が論理Lとなることにより、第1積分回路23のスイッチ素子 SW_1 が開く。そして、時刻 t_2 以降、対応する一方の光感応部分 12_{mn} 群から出力された電荷が容量素子 C_1 に蓄積されていき、第1積分回路23の出力端子からの電圧出力は次第に大きくなっていく。この時刻 t_2 では、Clamp1信号は論理Hのままであり、第1CDS回路121のスイッチ素子 SW_{212} は閉じた

ままである。また、時刻 t_2 では、CSW211 信号は論理 L であり、第 1 CDS 回路 121 のスイッチ素子 SW211 は開いている。

【0098】

時刻 t_3 に、Clamp1 信号が論理 L となることにより、第 1 CDS 回路 121 のスイッチ素子 SW212 が開き、また、CSW211 信号が論理 H となることにより、第 1 CDS 回路 121 のスイッチ素子 SW211 が閉じる。そして、時刻 t_3 から一定時間 T 経過後の時刻 t_4 に、CSW211 信号が論理 L となることにより、第 1 CDS 回路 121 のスイッチ素子 SW211 が開く。

【0099】

時刻 $t_2 \sim t_4$ の期間では、タイミング制御回路 50 から出力された制御信号 LE D により発光素子 5 が発光し、当該発光素子 5 から対象物にスポット光が照射されている。したがって、発光素子 5 から投光され対象物により反射されたスポット光成分および背景光成分の双方が光感応領域 10 に入射して、それによって発生した電流が光感応領域 10（一方の光感応部分 12_{mn} 群）から出力される。そして、その電流出力を入力した第 1 積分回路 23 では、容量素子 C₁ に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力が第 1 積分回路 23 から出力される。また、時刻 $t_3 \sim t_4$ の期間（第 1 の期間）では、第 1 積分回路 23 の出力端子からの電圧出力が第 1 CDS 回路 121 に入力して、時刻 t_3 以降の入力電圧出力の変化分に相当する電荷が第 1 積分容量素子 C₂₁₂ に蓄積され、その蓄積された電荷の量に応じた電圧出力が第 1 CDS 回路 121 から出力される。したがって、時刻 t_4 以降に第 1 CDS 回路 121 からの電圧出力は、時刻 t_3 および時刻 t_4 それぞれに第 1 積分回路 23 からの電圧出力の差に相当する電圧値 V_{n1} となり、第 1 積分回路 23 にて生じるノイズ成分が除去されたものとなる。

【0100】

時刻 t_4 に、Reset 信号が論理 H となることにより、第 1 積分回路 23 のスイッチ素子 SW₁ が閉じて、容量素子 C₁ が放電され初期化される。また、Clamp2 信号も論理 H となることにより、第 2 CDS 回路 122 のスイッチ素子 SW₂₂₂ が閉じて、第 2 CDS 回路 122 における CDS 動作が停止される。

【0101】

時刻 t_5 に、Reset 信号が論理 L となることにより、第 1 積分回路 23 のスイッチ素子 SW_1 が開く。そして、時刻 t_5 以降、一方の光感应部分 12_{mn} 群から出力された電荷が容量素子 C_1 に蓄積されていき、第 1 積分回路 23 の出力端子からの電圧出力は次第に大きくなっていく。この時刻 t_5 では、Clamp2 信号は論理 H のままであり、第 2 CDS 回路 122 のスイッチ素子 SW_{222} は閉じたままである。また、時刻 t_5 では、CSW221 信号は論理 L であり、第 2 CDS 回路 122 のスイッチ素子 SW_{221} は開いている。

【0102】

時刻 t_6 に、Clamp2 信号が論理 L となることにより、第 2 CDS 回路 122 のスイッチ素子 SW_{222} が開き、また、CSW221 信号が論理 H となることにより、第 2 CDS 回路 122 のスイッチ素子 SW_{221} が閉じる。そして、時刻 t_6 から一定時間 T 経過後の時刻 t_7 に、CSW221 信号が論理 L となることにより、第 2 CDS 回路 122 のスイッチ素子 SW_{221} が開く。

【0103】

時刻 $t_5 \sim t_7$ の期間では、発光素子 5 から対象物にスポット光が照射されていない。したがって、背景光成分のみが光感应領域 10 に入射して、それによって発生した電流が光感应領域 10（一方の光感应部分 12_{mn} 群）から出力される。そして、その電流出力を入力した第 1 積分回路 23 では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力が第 1 積分回路 23 から出力される。また、時刻 $t_6 \sim t_7$ の期間（第 2 の期間）では、第 1 積分回路 23 の出力端子からの電圧出力が第 2 CDS 回路 122 に入力して、時刻 t_6 以降の入力電圧出力の変化分に相当する電荷が第 2 積分容量素子 C_{222} に蓄積され、その蓄積された電荷の量に応じた電圧出力が第 2 CDS 回路 122 から出力される。したがって、時刻 t_7 以降に第 2 CDS 回路 122 からの電圧出力は、時刻 t_6 および時刻 t_7 それぞれに第 1 積分回路 23 からの電圧出力の差に相当する電圧値 V_{n2} となり、第 1 積分回路 23 にて生じるノイズ成分が除去されたものとなる。

【0104】

時刻 t_7 以降では、第 1 CDS 回路 121 の第 1 積分容量素子 C_{212} に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するもので

あり、第2 CDS回路122の第2積分容量素子 C_{222} に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻 $t_3 \sim t_4$ までの期間（第1の期間）と時刻 $t_6 \sim t_7$ までの期間（第2の期間）とは互いに等しい時間 T であり、第1 CDS回路121の第1積分容量素子 C_{212} および第2 CDS回路122の第2積分容量素子 C_{222} それぞれの容量は互いに等しいので、電圧値 V_{n1} は、スポット光成分と背景光成分とを加算したものに相当するものであり、電圧値 V_{n2} は、背景光成分のみに相当するものであり、したがって、これら間の電圧差 $\Delta V_n = (V_{n1} - V_{n2})$ は、スポット光成分のみに相当するものである。そこで、時刻 t_8 以降では、この電圧差 ΔV_n が第1差分演算回路130により以下のうにして求められる。

【0105】

時刻 t_7 以降（第3の期間）、Reset信号は論理Hであり、第1積分回路23のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化状態が維持される。Clamp1信号は論理Lであり、第1 CDS回路121のスイッチ素子 SW_{212} が開いたままである。また、Clamp2信号は論理Lであり、第2 CDS回路122のスイッチ素子 SW_{222} が開いたままである。

【0106】

時刻 t_7 以降の第3の期間のうち時刻 $t_8 \sim t_9$ の期間に、Sample1信号は論理Hであり、第1差分演算回路130のスイッチ素子 SW_{31} は閉じる。このとき、Sample2信号は論理Lであり、第1差分演算回路130のスイッチ素子 SW_{32} は開いており、また、Clamp3信号は論理Hであり、第1差分演算回路130のスイッチ素子 SW_{33} は閉じている。この期間に、第1 CDS回路121の出力端子から出力される電圧値 V_{n1} が第1差分演算回路130のスイッチ素子 SW_{31} を介して容量素子 C_3 に入力し、その電圧値 V_{n1} が容量素子 C_3 に保持される。

【0107】

時刻 t_7 以降の第3の期間のうち時刻 $t_{10} \sim t_{11}$ の期間に、Sample2信号は論理Hであり、第1差分演算回路130のスイッチ素子 SW_{32} は閉じる。このとき、Sample1信号は論理Lであり、第1差分演算回路130のスイッチ素子 SW_{31} は開いており、また、Clamp3信号は論理Lであり、第1差分演算回路130のス

スイッチ素子 SW_{33} は開いている。この期間に、第2 CDS回路 122 の出力端子から出力される電圧値 V_{n2} が第1 差分演算回路 130 のスイッチ素子 SW_{32} を介して容量素子 C_3 に入力する。このとき、第1 差分演算回路 130 のスイッチ素子 SW_{33} は開いているので、第1 差分演算回路 130 の容量素子 C_3 には、電圧値 V_{n2} と電圧値 V_{n1} との差 ΔV_n が保持される。この電圧値 ΔV_n は、スポット光成分のみに相当するものである。

【0108】

そして、時刻 t_{10} にHold信号が論理Hとなり、第1 S/H回路 140 のスイッチ素子 SW_4 が閉じると、第1 差分演算回路 130 の容量素子 C_3 に保持されている電圧値 ΔV_n は、第1 差分演算回路 130 のアンプ A_3 および第1 S/H回路 140 のスイッチ素子 SW_4 を経て、第1 S/H回路 140 の容量素子 C_4 に保持される。時刻 t_{11} にHold信号が論理Lとなってスイッチ素子 SW_4 が開いた後も、第1 S/H回路 140 の容量素子 C_4 に保持された電圧値 ΔV_n は、アンプ A_4 から電圧出力 V_{n3} として出力される。各第1 S/H回路 140 からの電圧出力 V_{n3} は、上述したように第1 A/D変換回路 170 に順次入力され、デジタル値に変換されて、第1 A/D変換回路 170 から出力される。

【0109】

第2 信号処理回路 30 に含まれる第2 積分回路 33、第3 CDS回路 222、第4 CDS回路 222、第2 差分演算回路 230 及び第2 S/H回路 240 は、第1 信号処理回路 20 に含まれる第1 積分回路 23、第1 CDS回路 122、第2 CDS回路 122、第1 差分演算回路 130 及び第1 S/H回路 140 と同等の動作（図21参照）を行い、スポット光成分のみに相当する電圧値を有する電圧出力が第2 S/H回路 240 から出力される。各第2 S/H回路 240 からの電圧出力は、上述したように第2 A/D変換回路 270 に順次入力され、デジタル値に変換されて、第2 A/D変換回路 270 から出力される。

【0110】

以上のように、本第2 実施形態の光検出装置においても、光感応領域 10 に背景光が入射した場合でも、背景光成分を除去した状態で、第1 及び第2 の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域 10 に

入射した光の2次元位置を極めて精度良く検出することができる。

【0111】

また、本第2実施形態の光検出装置において、第1信号処理回路20は、第1積分回路23と、第1CDS回路121と、第2CDS回路122と、第1差分演算回路130と、を含み、第2信号処理回路30は、第2積分回路33と、第3CDS回路221と、第4CDS回路222と、第2差分演算回路130とを含んでいる。これにより、一方の光感応部分 12_{mn} 群毎に第1差分演算回路130が設けられ、他方の光感応部分群 13_{mn} 毎に第2差分演算回路230が設けられることとなるので、第1及び第2の方向での輝度プロファイルを高速で得ることができる。また、第1積分回路23及び第2積分回路33それぞれが積分動作毎に異なるノイズばらつきを有していても、第1～第4CDS回路121, 122, 221, 222それぞれによりノイズ誤差が解消される。また、第1の期間に、第1及び第3CDS回路121, 221の第1及び第3積分容量素子 C_{212} に光源3からのスポット光成分（信号光成分）及び背景光成分に応じた電荷が蓄積され、第2の期間に、第2及び第4CDS回路122, 222の第2及び第4積分容量素子 C_{222} に背景光成分に応じた電荷が蓄積され、そして、両者の差分が第1及び第2差分演算回路130, 230で求められるので、第1及び第2差分演算回路130, 230からの電圧出力は、光源3からのスポット光成分のみに応じたものである。このように、光感応領域10に入射する光の強度すなわち上記電圧出力の値が小さい場合であっても、輝度プロファイル検出のS/N比は優れたものとなる。

【0112】

また、本第2実施形態の光検出装置において、第1信号処理回路20は、第1S/H回路140と、第1A/D変換回路170とを更に含み、第2信号処理回路30は、第2S/H回路240と、第2A/D変換回路270とを更に含んでいる。これにより、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0113】

（第3実施形態）

次に、図 22～図 27 に基づいて、第 3 実施形態に係る光検出装置について説明する。第 1 実施形態の光検出装置と第 3 実施形態の光検出装置とでは、第 1 信号処理回路 20 及び第 2 信号処理回路 30 の構成に関して相違する。

【0114】

第 3 実施形態に係る光検出装置の第 1 信号処理回路 20 は、図 22 に示されるように、第 1 電荷蓄積回路 310 と、第 1 シフトレジスタ 320 と、第 1 積分回路 330 と、第 1 差分演算回路 340 と、第 1 A/D 変換回路 170 とを有している。図 22 は、第 1 信号処理回路を示す概略構成図である。

【0115】

第 1 電荷蓄積回路 310 は、一方の光感应部分 12_{mn} 群に対応して設けられ、対応する一方の光感应部分群 12_{mn} からの電流出力を入力する入力端子 310A と出力端子 310B との間に並列的に設けられた第 1 容量素子 C_{41A} 及び第 2 容量素子 C_{41B} を有し、一方の光感应部分 12_{mn} 群にて上記第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 1 容量素子 C_{41A} に蓄積し、一方の光感应部分 12_{mn} 群にて上記第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第 2 容量素子 C_{41B} に蓄積する。第 1 電荷蓄積回路 310 は、図 24 に示されるように、スイッチ素子 SW_{41A}, SW_{42A}, SW_{41B}, SW_{42B} を有している。互いに縦続接続されたスイッチ素子 SW_{41A} 及びスイッチ素子 SW_{42A} と、互いに縦続接続されたスイッチ素子 SW_{41B} 及びスイッチ素子 SW_{42B} とが、入力端子 310A と出力端子 310B との間に並列的に接続されている。スイッチ素子 SW_{41A} とスイッチ素子 SW_{42A} との接続点が第 1 容量素子 C_{41A} を介して接地されている。スイッチ素子 SW_{41B} とスイッチ素子 SW_{42B} との接続点が第 2 容量素子 C_{41B} を介して接地されている。また、入力端子 310A とスイッチ素子 SW_{41A}, SW_{41B} との接続点は、スイッチ素子 SW₄₃ を介して第 1 基準電位 V_{ref1} に接続されている。

【0116】

スイッチ素子 SW₄₃ が開かれている状態において、第 1 電荷蓄積回路 310 は、スイッチ素子 SW_{41A} が閉じてスイッチ素子 SW_{42A}, SW_{41B}, SW_{42B} が開いているときに、第 1 容量素子 C_{41A} に電荷を蓄積し、スイッチ素子 SW_{41B} が閉じ

てスイッチ素子 SW_{41A} , SW_{42A} , SW_{42B} が開いているときに、第2容量素子 C_{41B} に電荷を蓄積する。スイッチ素子 SW_{41A} , SW_{41B} , SW_{43} は、タイミング制御回路50から出力される制御信号A, B, Rに基づいて開閉する。スイッチ素子 SW_{42A} , SW_{42B} は、第1シフトレジスタ320から出力される信号 $shift(H_{mA})$, $shift(H_{mB})$ により制御されて順次閉じられる。スイッチ素子 SW_{42A} を閉じることにより、第1容量素子 C_{41A} に蓄積された電荷が電流となって、第1積分回路330に出力される。また、スイッチ素子 SW_{42B} を閉じることにより、第2容量素子 C_{41B} に蓄積された電荷が電流となって、第1積分回路330に出力される。第1シフトレジスタ320は、タイミング制御回路50から出力される信号によりその動作が制御されて、スイッチ素子 SW_{42A} , SW_{42B} を順次閉じる。

【0117】

第1積分回路330は、第1容量素子 C_{41A} 及び第2容量素子 C_{41B} から当該第1容量素子 C_{41A} 及び第2容量素子 C_{41B} に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第1差分演算回路340に出力する。第1積分回路330は、図25に示されるように、入力端子と出力端子との間に互いに並列にアンプ A_{41} 、積分容量部 C_{42} およびスイッチ素子 SW_{44} が接続されている。アンプ A_{41} は、その反転入力端子が第1電荷蓄積回路310の出力端子310Bと接続され、非反転入力端子が第1基準電位 V_{ref1} とされ、出力端子が第1差分演算回路340と接続されている。積分容量部 C_{42} およびスイッチ素子 SW_{44} は、アンプ A_{41} の反転入力端子と出力端子との間に設けられている。第1積分回路330は、スイッチ素子 SW_{44} が閉じているときには、積分容量部 C_{42} を放電して初期化する。一方、第1積分回路330は、スイッチ素子 SW_{44} が開いているときには、入力端子に入力した電荷を積分容量部 C_{42} に蓄積して、その蓄積された電荷の量に応じた値の電圧出力を出力端子から出力する。

【0118】

第1差分演算回路340は、第1電荷蓄積回路310の第1容量素子 C_{41A} 及び第2容量素子 C_{41B} それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第1差分演算回路340は、図26に示されるよ

うに、入力端子と出力端子との間に順に容量素子 C_{43} およびアンプ A_{42} を有し、また、スイッチ素子 SW_{45} および容量素子 C_{44} がアンプ A_{42} の入出力間に互いに並列的に接続されている。アンプ A_{42} は、その反転入力端子が第1積分回路330の出力端子と接続され、非反転入力端子が第2基準電位 V_{ref2} とされている。第1差分演算回路340の出力端子は、第1A/D変換回路170の入力端子に接続されている。第1差分演算回路340は、スイッチ素子 SW_{45} を閉じているときには、第1積分回路330から容量素子 C_{43} を経て流入した電荷 Q_1 だけ容量素子 C_{44} に充電する。そして、スイッチ素子 SW_{45} を開いているときには、第1積分回路330から容量素子 C_{43} を経て流入した電荷 Q_2 だけ容量素子 C_{44} から放電する。このようにして、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_{44} に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧出力をアンプ A_{42} から出力する。スイッチ素子 SW_{45} は、タイミング制御回路50から出力されるClamp信号に基づいて開閉する。

【0119】

第1A/D変換回路170は、第1差分演算回路340からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第1A/D変換回路170から出力されるデジタル値は、第2の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0120】

第3実施形態に係る光検出装置の第2信号処理回路30は、図23に示されるように、第2電荷蓄積回路410と、第2シフトレジスタ420と、第2積分回路430と、第2差分演算回路440と、第2A/D変換回路270とを有している。図23は、第2信号処理回路を示す概略構成図である。

【0121】

第2電荷蓄積回路410は、他方の光感应部分 13_{mn} 群に対応して設けられ、対応する他方の光感应部分群 13_{mn} からの電流出力を入力する入力端子と出力端子との間に並列的に設けられた第3容量素子及び第4容量素子を有し、他方の光感应部分 13_{mn} 群にて上記第1の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第3容量素子に蓄積し、他方の光感应部分 13_{mn} 群にて上記第

2の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷を第4容量素子に蓄積する。第2電荷蓄積回路410は、図24に示された第1電荷蓄積回路310と同等の構成を有し、上記第3容量素子、第4容量素子及び5個のスイッチ素子を含んでいる。入力端子と第3容量素子及び第4容量素子との間に設けられている3個のスイッチ素子は、スイッチ素子SW_{41A}, SW_{41B}, SW₄₃と同様に、タイミング制御回路50から出力される制御信号A, B, Rに基づいて開閉する。出力端子と第3容量素子及び第4容量素子との間に設けられている2個のスイッチ素子は、スイッチ素子SW_{42A}, SW_{42B}と同様に、第2シフトレジスタ420から出力される信号shift (V_{mA}), shift (V_{mB})により制御されて順次閉じられる。第2シフトレジスタ420は、第1シフトレジスタ320と同様に、タイミング制御回路50から出力される信号によりその動作が制御されて、上記各スイッチ素子を順次閉じる。

【0122】

第2積分回路430は、第3容量素子及び第4容量素子から当該第3容量素子及び第4容量素子に蓄積されている電荷に対応した電流出力を順次入力し、その電流出力を電圧出力に変換して第2差分演算回路440に出力する。第2積分回路430は、図25に示された第1積分回路330と同等の構成を有し、入力端子と出力端子との間に互いに並列にアンプ、積分容量部およびスイッチ素子が接続されている。第2積分回路430は、スイッチ素子が閉じているときには、積分容量部を放電して初期化する。一方、第2積分回路430は、スイッチ素子が開いているときには、入力端子に入力した電荷を積分容量部に蓄積して、その蓄積された電荷の量に応じた値の電圧出力を出力端子から出力する。

【0123】

第2差分演算回路440は、第2電荷蓄積回路410の第3容量素子及び第4容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧出力を出力する。第2差分演算回路440は、図26に示された第1差分演算回路340と同等の構成を有し、入力端子と出力端子との間に順に容量素子およびアンプを有し、また、当該アンプの入出力間にスイッチ素子および容量素子が互いに並列的に接続されている。第2差分演算回路440は、スイッチ素子を閉じ

ているときには、第2積分回路430からアンプと縦続接続された容量素子を経て流入した電荷 Q_3 だけアンプに並列接続された容量素子に充電する。そして、スイッチ素子を開いているときには、第2積分回路430からアンプと縦続接続された容量素子を経て流入した電荷 Q_4 だけアンプに並列接続された容量素子から放電する。このようにして、電荷 Q_3 と電荷 Q_4 との差分すなわち電荷($Q_3 - Q_4$)をアンプに並列接続された容量素子に蓄積して、その蓄積された電荷($Q_3 - Q_4$)に応じた電圧出力を当該アンプから出力する。スイッチ素子は、上記スイッチ素子 SW_{45} と同様に、タイミング制御回路50から出力されるClamp信号に基づいて開閉する。

【0124】

第2 A/D変換回路270は、第2差分演算回路440からの電圧出力（アナログ値）を順次入力し、その電圧出力をデジタル値に変換し、そのデジタル値を出力する。第2 A/D変換回路270から出力されるデジタル値は、第1の方向での輝度プロファイル（デジタルデータ）を表す出力となる。

【0125】

続いて、図27に基づいて、第3実施形態の光検出装置における第1信号処理回路20及び第2信号処理回路30の動作について説明する。図31は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0126】

時刻 t_1 に、制御信号Rが論理Hとなることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{43} が閉じて、入力端子310Aが第1基準電位 V_{ref1} とされ、初期化される。時刻 t_2 に、制御信号Rが論理Lとなることにより、スイッチ素子 SW_{43} が開く。

【0127】

時刻 t_3 において、制御信号Bが論理Hとなることにより、各第1電荷蓄積回路310のスイッチ素子 SW_{41B} が閉じると、時刻 t_4 にてスイッチ素子 SW_{41B} が開くまでの間、時刻 $t_2 \sim t_4$ の期間（第2の期間）にわたり一方の光感应部分12_{mn}群にて蓄積された電荷に対応する電流が出力され、当該電流出力に対応する電荷が各第1電荷蓄積回路310の第2容量素子 C_{41B} に蓄積される。このと

き、発光素子 5 からスポット光が照射されておらず、第 2 容量素子 C_{41B} に蓄積される電荷は背景光成分のみに対応した電荷となる。

【0128】

時刻 t_5 に、再び制御信号 R が論理 H となることにより、各第 1 電荷蓄積回路 310 のスイッチ素子 SW_{43} が閉じて、入力端子 310A が第 1 基準電位 V_{ref1} とされ、初期化される。時刻 t_6 に、制御信号 R が論理 L となることにより、スイッチ素子 SW_{43} が開く。

【0129】

時刻 t_7 において、制御信号 A が論理 H となることにより、各第 1 電荷蓄積回路 310 のスイッチ素子 SW_{41A} が閉じると、時刻 t_8 にてスイッチ素子 SW_{41A} が開くまでの間、時刻 $t_6 \sim t_8$ の期間（第 1 の期間）にわたり一方の光感応部分 12_{mn} 群にて蓄積された電荷に対応する電流が出力され、当該電流出力に対応する電荷が各第 1 電荷蓄積回路 310 の第 1 容量素子 C_{41A} に蓄積される。このとき、時刻 $t_6 \sim t_7$ の期間において発光素子 5 から対象物にスポット光が照射されており、対象物により反射されたスポット光成分および背景光成分の双方が光感応領域 10 に入射しているので、第 1 容量素子 C_{41A} に蓄積される電荷は背景光成分及びスポット光成分に対応した電荷となる。

【0130】

時刻 t_8 に、Reset 信号が論理 H となることにより、第 1 積分回路 330 のスイッチ素子 SW_{44} が閉じて、容量素子 C_{42} が放電され初期化される。また、Clamp 信号も論理 H となることにより、第 1 差分演算回路 340 のスイッチ素子 SW_{45} が閉じて、容量素子 C_{44} への電荷の蓄積（充電）が可能な状態となる。

【0131】

時刻 t_9 に、Reset 信号が論理 L となることにより、第 1 積分回路 330 のスイッチ素子 SW_{44} が開く。そして、時刻 t_{10} に、信号 $shift$ (H_{1B}) が論理 H となることにより、一方の光感応部分 12_{1n} 群に対応する第 1 電荷蓄積回路 310 のスイッチ素子 SW_{42B} が閉じ、当該第 1 電荷蓄積回路 310 の第 2 容量素子 C_{41B} に蓄積されている電荷が電流として出力される。そして、その電流出力を入力した第 1 積分回路 330 では、容量素子 C_{42} に電荷が蓄積され、その蓄積さ

れた電荷の量に応じた電圧出力 V_{out1} が第 1 積分回路 330 から出力される。第 1 積分回路 330 からの電圧出力 V_{out1} は、第 1 差分演算回路 340 の容量素子 C_{44} に保持される。このとき、第 1 積分回路 330 から出力される電圧出力 V_{out1} は、背景光成分のみに相当するものである。

【0132】

時刻 t_{11} に、信号 $shift$ (H_{1B}) が論理 L となることにより、一方の光感応部分 12_{1n} 群に対応する第 1 電荷蓄積回路 310 のスイッチ素子 SW_{42B} が開く。また、Clamp 信号も論理 L となることにより、第 1 差分演算回路 340 のスイッチ素子 SW_{45} が開いて、容量素子 C_{44} に流入する電荷だけ放電することが可能な状態となる。

【0133】

時刻 t_{12} に、信号 $shift$ (H_{1A}) が論理 H となることにより、一方の光感応部分 12_{1n} 群に対応する第 1 電荷蓄積回路 310 のスイッチ素子 SW_{42A} が閉じ、当該第 1 電荷蓄積回路 310 の第 1 容量素子 C_{41A} に蓄積されている電荷が電流として出力される。そして、その電流出力を入力した第 1 積分回路 330 では、容量素子 C_{42} に電荷が蓄積され、その蓄積された電荷の量に応じた電圧出力 V_{out1} が第 1 積分回路 330 から出力される。このとき、第 1 積分回路 330 からの電圧出力 V_{out1} は、背景光成分及びスポット光成分に相当するものである。

【0134】

また、第 1 差分演算回路 340 のスイッチ素子 SW_{45} が開いていることから、第 1 差分演算回路 340 の容量素子 C_{44} には、第 2 容量素子 C_{41B} に蓄積されている電荷に対応する電圧出力と第 1 容量素子 C_{41A} に蓄積されている電荷に対応する電流出力との差が保持される。そして、第 1 差分演算回路 340 の容量素子 C_{44} に保持されている電圧出力がアンプ A_{42} を介して出力される。このアンプ A_{42} からの電圧出力 V_{out2} は、スポット光成分のみに相当するものである。

【0135】

時刻 t_{13} に、信号 $shift$ (H_{1A}) が論理 L となることにより、一方の光感応部分 12_{1n} 群に対応する第 1 電荷蓄積回路 310 のスイッチ素子 SW_{42A} が開く。また、Reset 信号が論理 H となることにより、第 1 積分回路 330 のスイッ

チ素子 SW_{44} が閉じ、Clamp 信号も論理 H となることにより、第 1 差分演算回路 340 のスイッチ素子 SW_{45} が閉じる。

【0136】

続いて、時刻 $t_{13} \sim t_{14}$ の期間において、時刻 $t_8 \sim t_{13}$ の期間と同様な処理が行われ、一方の光感应部分 12_n 群に対応する電圧出力 V_{out2} が第 1 差分演算回路 340 から出力されることとなる。以下、時刻 $t_8 \sim t_{13}$ の期間の処理を繰り返して行なうことで、一方の光感应部分 12_m 群それぞれに対応する電圧出力 V_{out2} が第 1 差分演算回路 340 から順次出力されることとなる。第 1 差分演算回路 340 からの電圧出力 V_{out2} は、上述したように第 1 A/D 変換回路 170 に順次入力され、デジタル値に変換されて、第 1 A/D 変換回路 170 から出力される。

【0137】

第 2 信号処理回路 30 に含まれる第 2 電荷蓄積回路 410、第 2 シフトレジスタ 420、第 2 積分回路 430、第 2 差分演算回路 440 及び第 2 A/D 変換回路 270 は、第 1 信号処理回路 20 に含まれる第 1 電荷蓄積回路 310、第 1 シフトレジスタ 320、第 1 積分回路 330、第 1 差分演算回路 340、第 1 A/D 変換回路 170 と同等の動作（図 27 参照）を行い、スポット光成分のみに相当する電圧値を有する電圧出力が第 1 差分演算回路 340 から出力される。第 1 差分演算回路 340 からの電圧出力は、上述したように第 2 A/D 変換回路 270 に順次入力され、デジタル値に変換されて、第 2 A/D 変換回路 270 から出力される。

【0138】

以上のように、本第 3 実施形態の光検出装置においても、光感应領域 10 に背景光が入射した場合でも、背景光成分を除去した状態で、第 1 及び第 2 の方向での輝度プロファイルを検出することができる。これらの結果、光感应領域 10 に入射した光の 2 次元位置を極めて精度良く検出することができる。

【0139】

また、本第 3 実施形態の光検出装置において、第 1 信号処理回路 20 は、第 1 容量素子 C_{41A} 及び第 2 容量素子 C_{41B} を有する第 1 電荷蓄積回路 310 と、第 1

差分演算回路 340 とを含み、第 2 信号処理回路 30 は、第 3 容量素子及び第 4 容量素子を有する第 2 電荷蓄積回路 410 と、第 2 差分演算回路 440 とを含んでいる。これにより、第 1 電荷蓄積回路 310 において、対応する一方の光感应部分 12_{mn} 群にて第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 1 容量素子 C_{41A} に蓄積され、対応する一方の光感应部分 12_{mn} 群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 2 容量素子 C_{41B} に蓄積され、第 1 差分演算回路 340 において、第 1 容量素子 C_{41A} 及び第 2 容量素子 C_{41B} それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力 V_{out2} が出力される。また、第 2 電荷蓄積回路 410 において、対応する他方の光感应部分 13_{mn} 群にて第 1 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 3 容量素子に蓄積され、対応する他方の光感应部分 13_{mn} 群にて第 2 の期間にわたり蓄積された電荷に対応した電流出力に応じて電荷が第 4 容量素子に蓄積され、第 2 差分演算回路において、第 3 容量素子及び第 4 容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧出力が出力される。これにより、第 1 及び第 2 信号処理回路 20, 30 の構成の簡素化及び低コスト化を図ることができる。

【0140】

また、第 1 信号処理回路 20 は、第 1 積分回路 330 と、第 1 A/D 変換回路 170 とを更に含み、第 2 信号処理回路 30 は、第 2 積分回路 430 と、第 2 A/D 変換回路 270 とを更に含んでいる。これにより、第 1 及び第 2 の方向での輝度プロファイルをデジタル値として出力することができる。

【0141】

(第 4 実施形態)

次に、図 28～図 31 に基づいて、第 4 実施形態に係る光検出装置について説明する。第 1 実施形態の光検出装置と第 4 実施形態の光検出装置とでは、第 1 信号処理回路 20 及び第 2 信号処理回路 30 の構成に関して相違する。

【0142】

第 4 実施形態に係る光検出装置の第 1 信号処理回路 20 は、図 28 に示されるように、第 1 積分回路 510 と、第 1 除去回路 520 と、第 1 差分演算回路 53

0と、第1 S/H回路140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1 A/D変換回路170とを有している。図28は、第1信号処理回路を示す概略構成図である。

【0143】

第1積分回路510は、一方の光感応部分12_{mn}群に対応して設けられ、対応する一方の光感応部分12_{mn}群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第1積分回路510は、図30に示されるように、一方の光感応部分12_{mn}群から入力される光電流I1を増幅するアンプA₁₁と、アンプA₁₁の入出力接点間に並列接続された容量素子C₁₁とスイッチ素子SW₁₁で構成されている。よって、リセット信号RSによってスイッチ素子SW₁₁がオフ状態となるときは、光電流I1が容量素子C₁₁に充電され、リセット信号RSによってスイッチ素子SW₁₁がオン状態となるときは、容量素子C₁₁の電荷が放電される。ここで、第1積分回路510の積分動作時間を数 μ secに設定するために、容量素子C₁₁は数pFに設定されている。なお、スイッチ素子SW₁₂の「オン/オフ」信号(ST)により、アンプA₁₁の入出力端子間への容量素子C₁₁の接続を制御する。

【0144】

第1除去回路520は、一方の光感応部分12_{mn}群に対応して設けられ、上記第1の期間における一方の光感応部分群12_{mn}からの電流出力から、上記第2の期間における一方の光感応部分群12_{mn}からの電流出力を除去して、出力する。この第1除去回路520は、図30にも示されるように、第1積分回路510の入力端子に接続されている。第1除去回路520は、ソース端子が第1積分回路510の入力端子に、ドレイン端子がGND（接地レベル）に接続された第1MOSトランジスタMQ₅₁を備え、第1MOSトランジスタMQ₅₁のゲート端子が第1容量素子C₅₁を介して接地される。そして、第1MOSトランジスタMQ₅₁のゲート端子には、タイミング制御回路50から発行される制御信号RMにより「オン/オフ」が制御される第1スイッチ素子SW₅₁を介して第1積分回路510の出力が接続される。

【0145】

第1差分演算回路530は、第1積分回路510に対応して設けられ、当該第1積分回路510からの電圧出力のうちの上記第2の期間に対応した電圧出力（上記第2の期間にわたり一方の光感应部分12_{mn}群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））を保持するとともに、当該第1積分回路510からの電圧出力のうちの上記第1の期間に対応した電圧出力（上記第1の期間にわたり一方の光感应部分13_{mn}群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））との差分に応じた電圧出力を出力する。この第1差分演算回路530は、図30にも示されるように、第1積分回路510の出力接点（即ち、アンプA₁₁の出力接点）に接続されている。第1差分演算回路530は、スイッチ素子SW₆₁及び容量素子C₆₁、アンプA₆₁とその入出力接点間に並列接続された容量素子C₆₂及びスイッチ素子SW₆₂で構成されている。そして、アンプA₆₁の出力接点が出力端子に接続されている。尚、容量素子C₆₁と容量素子C₆₂は、回路全体の動作速度マージンとノイズマージンとの兼ね合いから、共に1pF程度の等しい容量値のものが適用されている。更に、スイッチ素子SW₆₁は、タイミング制御回路50から出力された切換え信号CSW5によってオン状態とオフ状態とが切換わる。又、第1差分演算回路530は、タイミング制御回路50から出力されたリセット信号RS2によってスイッチ素子SW₆₂がオフ状態となるときは蓄積動作し、逆に、リセット信号RS2によってスイッチ素子SW₆₂がオン状態となるときは蓄積動作を停止する。

【0146】

第4実施形態に係る光検出装置の第2信号処理回路30は、図29に示されるように、第2積分回路610と、第2除去回路620と、第2差分演算回路630と、第2S/H回路240と、第2シフトレジスタ250と、第2スイッチ素子260と、第2A/D変換回路270とを有している。図29は、第2信号処理回路を示す概略構成図である。

【0147】

第2積分回路610は、他方の光感应部分13_{mn}群に対応して設けられ、対応する他方の光感应部分13_{mn}群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第2積分回路610は、図30に示された第1積分回路510

と同等の構成を有し、他方の光感応部分 1 3_{mn}群から入力される光電流を増幅するアンプと、当該アンプの入出力接点間に並列接続された容量素子とスイッチ素子で構成されている。

【0148】

第2除去回路 6 2 0 は、他方の光感応部分 1 3_{mn}群に対応して設けられ、上記第1の期間における他方の光感応部分群 1 3_{mn}からの電流出力から、上記第2の期間における他方の光感応部分群 1 3_{mn}からの電流出力を除去して、出力する。第2除去回路 6 2 0 は、図 3 0 に示された第1除去回路 5 2 0 と同等の構成を有し、ソース端子が第2積分回路 6 1 0 の入力端子に、ドレイン端子が GND（接地レベル）に接続された第2 MOS トランジスタを備え、第2 MOS トランジスタのゲート端子が第2容量素子を介して接地される。そして、第2 MOS トランジスタのゲート端子には、タイミング制御回路 5 0 から発行される制御信号 RM により「オン／オフ」が制御される第2スイッチ素子を介して第2積分回路 6 1 0 の出力が接続される。

【0149】

第2差分演算回路 6 3 0 は、第2積分回路 6 1 0 に対応して設けられ、当該第2積分回路 6 1 0 から出力される電圧出力のうちの上記第2の期間に対応した電圧出力（上記第2の期間にわたり他方の光感応部分 1 3_{mn}群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））を保持するとともに、当該第2積分回路 6 1 0 からの電圧出力のうちの上記第1の期間に対応した電圧出力（上記第1の期間にわたり他方の光感応部分 1 3_{mn}群にて蓄積された電荷に対応する電流出力に応じた電圧出力（アナログ値））との差分に応じた電圧出力を出力する。第2差分演算回路 6 3 0 は、図 3 0 に示された第1差分演算回路 5 3 0 と同等の構成を有し、スイッチ素子及び容量素子、アンプとその入出力接点間に並列接続された容量素子及びスイッチ素子とで構成されている。

【0150】

続いて、図 3 1 に基づいて、第4実施形態の光検出装置における第1信号処理回路 2 0 及び第2信号処理回路 3 0 の動作について説明する。図 3 1 は、第1信号処理回路の動作を説明するためのタイミングチャートである。

【0151】

まず、定常背景光成分検出期間Tにおいて、発光素子5がスポット光を出力しない状態に設定されると同時に、第1スイッチ素子SW₅₁をオンにして、背景光を検出する。この時、同時に第1積分回路510は、タイミング制御回路50から出力されるリセット信号RS1によりスイッチ素子SW₁₁が「オン」に設定され、タイミング制御回路50から出力される制御信号STによりスイッチ素子SW₁₂が「オフ」に設定されることにより、非積分動作状態に設定される。この状態では、第1積分回路510の入力端子には、当該第1積分回路510に対応する一方の光感应部分群12_{mn}からの電流出力が入力される。そして、非積分動作時に第1積分回路510からの電圧出力が第1MOSトランジスタMQ₅₁のゲート端子に供給されることにより、この電流の全ては第1除去回路520の第1MOSトランジスタMQ₅₁で除去される。この状態での第1MOSトランジスタMQ₅₁のゲート・ソース間電圧V_{gs}は、

$$V_{gs} = (2 \times I_T / \beta)^{1/2} + V_{th} \quad \cdots (1)$$

I_T : 電流値

β : 第1MOSトランジスタMQ₅₁のサイズで決まる定数

V_{th} : 第1MOSトランジスタMQ₅₁の閾値

で表される。

【0152】

時間Tが経過すると、第1スイッチ素子SW₅₁を「オフ」とする。この結果、第1スイッチ素子SW₅₁の「オフ」時点で第1積分回路510の入力端子に供給されていた電流値だけ、引き続いて第1MOSトランジスタMQ₅₁を流れ続ける。すなわち、第1MOSトランジスタMQ₅₁のゲート・ソース間電圧V_{gs}が保持され、以後の計測にあたってのノイズの主成分である、背景光の平均的な寄与分が除去される。

【0153】

次に、スイッチ素子SW₁₂を「オン」に切換え、第1積分回路510を積分動作状態にした後、背景光変化分検出期間T1（時間幅：τ）の間、スイッチ素子SW₁₁を「オフ」とする。この状態が設定されると、背景光の変化分に相当する

電流出力が第1積分回路510に流入し、容量素子C₁₁に充電される。

【0154】

この結果、期間T₁では、背景光のみを入射し、背景光の変動によって発生した光電流の変動分I₁を第1積分回路510が容量素子C₁₁に充電するので、積分出力V₁が次第に上昇していく。そして、この時間 τ 経過時における第1積分回路510の積分出力の電圧をV₁₁、背景光の変動分によって一方の光感应部分群12_{mn}から入力される電流をI_dとすれば、 $I_1 = I_d$ から、

$$V_{11} = I_d \cdot \tau / C_{11} \quad \cdots (2)$$

C₁₁: 容量素子C₁₁の容量

となる。

【0155】

時間 τ が経過すると、スイッチ素子SW₆₁が一瞬「オン」となり、第1差分演算回路530に伝達され、その電圧V₁₁が容量素子C₆₁に保持される。また、時間 τ が経過すると、スイッチ素子SW₁₁は「オン」に切換えられ、第1積分回路510はリセットされる。

【0156】

次いで、(スポット光+背景光変化分)検出期間T₂(時間幅: τ)の間、発光素子5が点灯される。この点灯時、同時にスイッチ素子SW₁₁, SW₆₂とが「オフ」に設定される。そして、このような切換え動作の結果、第1積分回路510は背景光の変化分とスポット光成分との和に相当する光電流I₁を容量素子C₁₁に充電していく。

【0157】

ここで、時間 τ 経過時点での第1積分回路510の積分出力の電圧をV₁₂、反射スポット光成分による電流をI_{sh}、背景光の変動分の光強度は期間T₁のときと変わらないので背景光変動分の電流をI_dとすると、 $I_1 = I_d + I_{sh}$ から、

$$V_{12} = (I_{sh} + I_d) \cdot \tau / C_{11} \quad \cdots (3)$$

の関係となる。

【0158】

期間T₂の経過時にスイッチ素子SW₆₁を一瞬「オン」にし、第1積分回路5

10の積分出力の電圧 V_{12} を第1差分演算回路530に伝達する。また、第1差分演算回路530は、期間 T_1 ではリセット状態であり、期間 T_2 では減算動作を行うので、電荷保存の法則により、

$$(V_{12} - V_{11}) \cdot C_{12} = V_{01} \cdot C_{13} \quad \cdots (4)$$

C_{12} : 容量素子 C_{61} の容量

C_{13} : 容量素子 C_{62} の容量

に従った電荷が、容量素子 C_{61} 、 C_{62} に保持される。

【0159】

そして、上記式(4)に式(2)及び(3)を代入とすると第1差分演算回路530の出力端子に発生する出力 V_{01} の電圧は、

$$V_{01} = I_{sh} \cdot \tau \cdot C_{12} / C_{11} \cdot C_{13} \quad \cdots (5)$$

で示される値となる。また、容量素子 C_{61} と容量素子 C_{62} の容量を等しくすると

$$V_{01} = I_{sh} \cdot \tau / C_{11} \quad \cdots (6)$$

となる。

【0160】

第1S/H回路140のスイッチ素子 SW_4 が閉じると、第1差分演算回路530の出力端子に発生する出力 V_{01} は、第1S/H回路140の容量素子 C_4 に保持され、出力される。各第1S/H回路140からの電圧出力は、上述したように第1A/D変換回路170に順次入力され、デジタル値に変換されて、第1A/D変換回路170から出力される。

【0161】

第2信号処理回路30に含まれる第2積分回路610、第2除去回路620、第2差分演算回路630、第2S/H回路240、第2シフトレジスタ250、第2スイッチ素子260及び第2A/D変換回路270は、第1信号処理回路20に含まれる第1積分回路510、第1除去回路520、第1差分演算回路530、第1S/H回路140、第1シフトレジスタ150、第1スイッチ素子160及び第1A/D変換回路170と同等の動作(図31参照)を行い、スポット光成分のみに相当する電圧値を有する電圧出力が第2S/H回路240から出力

される。各第2 S/H回路240からの電圧出力は、上述したように第2 A/D変換回路270に順次入力され、デジタル値に変換されて、第2 A/D変換回路270から出力される。

【0162】

以上のように、本第4実施形態の光検出装置においても、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1及び第2の方向での輝度プロファイルを検出することができる。これらの結果、光感応領域10に入射した光の2次元位置を極めて精度良く検出することができる。

【0163】

また、本第4実施形態の光検出装置においては、第1除去回路520により、上記第1の期間における一方の光感応部分群12_{mn}からの電流出力から、上記第2の期間における一方の光感応部分群12_{mn}からの電流出力が除去されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第2の方向での輝度プロファイルを検出することができる。また、第2除去回路620により、上記第1の期間における他方の光感応部分群13_{mn}からの電流出力から、上記第2の期間における他方の光感応部分群13_{mn}からの電流出力が除去されることとなる。これにより、光感応領域10に背景光が入射した場合でも、背景光成分を除去した状態で、第1の方向での輝度プロファイルを検出することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出することができる。

【0164】

また、本第4実施形態の光検出装置において、第1除去回路520は、ソース端子が一方の光感応部分12_{mn}に接続され、ドレイン端子が接地された第1 MOSトランジスタMQ₅₁と、一方の端子が第1 MOSトランジスタMQ₅₁のゲート端子と接続され、他方の端子が接地された第1容量素子C₅₁と、一方の端子が第1 MOSトランジスタMQ₅₁のゲート端子と接続され、他方の端子が第1積分回路510の出力と接続された第1スイッチ素子SW₅₁と、を含み、第2除去回路620は、ソース端子が他方の光感応部分に接続され、ドレイン端子が接地された第2 MOSトランジスタと、一方の端子が第2 MOSトランジスタのゲート端

子と接続され、他方の端子が接地された第2容量素子と、一方の端子が第2 MOSトランジスタのゲート端子と接続され、他方の端子が第2積分回路の出力と接続された第2スイッチ素子と、を含んでいる。これにより、上記第1及び第2除去回路520, 620を簡易且つ低コストにて構成することができる。

【0165】

また、本第4実施形態の光検出装置においては、第1差分演算回路530と、第1S/H回路140と、第1A/D変換回路170と、第2差分演算回路630と、第2S/H回路240と、第2A/D変換回路270とを更に有している。これにより、背景光成分を確実に除去することができ、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをより一層高精度にて得ることができる。また、第1及び第2の方向での輝度プロファイルをデジタル値として出力することができる。

【0166】

本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感应部分12_{mn}, 13_{mn}（第2導電型半導体領域41, 42）を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

【0167】

また、前述した実施形態においては、1画素を複数の光感应部分で構成しているが、1画素を一つの光感应部分で構成してもよい。たとえば、図32に示されるように、光感应領域10は、第1の方向にわたって互いに電氣的に接続される複数の第1光感应部分12_{mn}と第2の方向にわたって互いに電氣的に接続される複数の第2光感应部分13_{mn}とを含み、複数の第1光感应部分12_{mn}と複数の第2光感应部分13_{mn}とは2次元的に混在した状態で同一面内にて配列してもよい。この場合、第1光感应部分12_{mn}と第2光感应部分13_{mn}とは市松模様状に配列しており、第1光感应部分12_{mn}と第2光感应部分13_{mn}とは第1の方向及び第2の方向において交互に配列している。なお、市松模様状に配列する代わりに

、図 8 に示されるようなハニカム状に配列してもよい。

【0168】

また、第 1 信号処理回路 20 及び第 2 信号処理回路 30 は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

【0169】

【発明の効果】

以上、詳細に説明したとおり、本発明によれば、2 次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することができる。また、本発明によれば、入射した光の 2 次元位置を極めて精度良く検出することができる

【図面の簡単な説明】

【図 1】

第 1 実施形態に係る光検出装置を示す概念構成図である。

【図 2】

第 1 実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 3】

図 2 の I I I - I I I 線に沿った断面図である。

【図 4】

第 1 実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 5】

第 1 実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 6】

第 1 実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【図 7】

第 1 実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平

面図である。

【図 8】

第 1 実施形態に係る光検出装置に含まれる光感应領域の一例を示す要部拡大平面図である。

【図 9】

第 1 実施形態に係る光検出装置に含まれる第 1 信号処理回路を示す概略構成図である。

【図 10】

第 1 実施形態に係る光検出装置に含まれる第 2 信号処理回路を示す概略構成図である。

【図 11】

第 1 信号処理回路に含まれる第 1 積分回路の回路図である。

【図 12】

第 1 信号処理回路に含まれる第 1 CDS 回路の回路図である。

【図 13】

第 1 信号処理回路の動作を説明するためのタイミングチャートである。

【図 14】

第 2 信号処理回路の動作を説明するためのタイミングチャートである。

【図 15】

第 1 信号処理回路の動作を説明するためのタイミングチャートである。

【図 16】

第 2 信号処理回路の動作を説明するためのタイミングチャートである。

【図 17】

第 2 実施形態に係る光検出装置に含まれる第 1 信号処理回路を示す概略構成図である。

【図 18】

第 2 実施形態に係る光検出装置に含まれる第 2 信号処理回路を示す概略構成図である。

【図 19】

第1信号処理回路に含まれる第1CDS回路、第2CDS回路及び第1差分演算回路の回路図である。

【図20】

第1信号処理回路に含まれる第1サンプルアンドホールド回路の回路図である。

。

【図21】

第1信号処理回路の動作を説明するためのタイミングチャートである。

【図22】

第3実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

【図23】

第3実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【図24】

第1信号処理回路に含まれる第1電荷蓄積回路の回路図である。

【図25】

第1信号処理回路に含まれる第1積分回路の回路図である。

【図26】

第1信号処理回路に含まれる第1差分演算回路の回路図である。

【図27】

第1信号処理回路の動作を説明するためのタイミングチャートである。

【図28】

第4実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

【図29】

第4実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

【図30】

第1信号処理回路に含まれる第1積分回路、第1除去回路及び第1差分演算回

路の回路図である。

【図 3 1】

第 1 信号処理回路の動作を説明するためのタイミングチャートである。

【図 3 2】

本実施形態に係る光検出装置の変形例を示す概念構成図である。

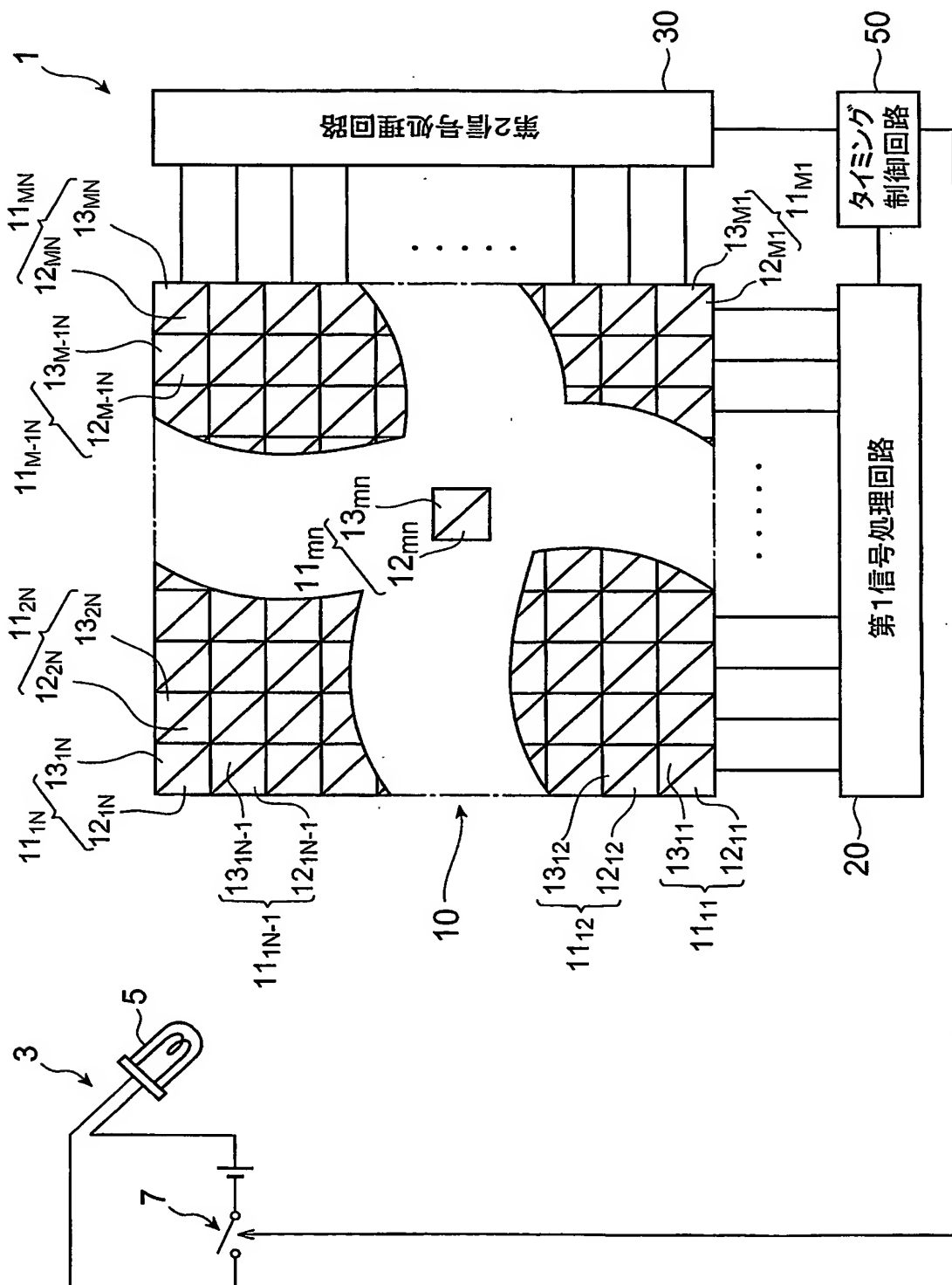
【符号の説明】

1…光検出装置、3…光源、5…発光素子、10…光感应領域、11_{mn}…画素、12_{mn}…一方の光感应部分、13_{mn}…他方の光感应部分、20…第 1 信号処理回路、21…第 1 スイッチ素子、22…第 1 シフトレジスタ、23…第 1 積分回路、24…第 1 CDS 回路、25…第 1 A/D 変換回路、26…第 1 デジタルメモリ、27…第 1 差分演算回路、30…第 2 信号処理回路、31…第 2 スイッチ素子、32…第 2 シフトレジスタ、33…第 2 積分回路、34…第 2 CDS 回路、35…第 2 A/D 変換回路、36…第 2 デジタルメモリ、37…第 2 差分演算回路、50…タイミング制御回路、121…第 1 CDS 回路、122…第 2 CDS 回路、130…第 1 差分演算回路、140…第 1 サンプルアンドホールド回路（第 1 S/H 回路）、150…第 1 シフトレジスタ、160…第 1 スイッチ素子、170…第 1 A/D 変換回路、221…第 3 CDS 回路、222…第 4 CDS 回路、230…第 2 差分演算回路、240…第 2 サンプルアンドホールド回路（第 2 S/H 回路）、250…第 2 シフトレジスタ、260…第 2 スイッチ素子、270…第 2 A/D 変換回路、310…第 1 電荷蓄積回路、320…第 1 シフトレジスタ、330…第 1 積分回路、340…第 1 差分演算回路、410…第 2 電荷蓄積回路、420…第 2 シフトレジスタ、430…第 2 積分回路、440…第 2 差分演算回路、510…第 1 積分回路、520…第 1 除去回路、530…第 1 差分演算回路、610…第 2 積分回路、620…第 2 除去回路、630…第 2 差分演算回路。

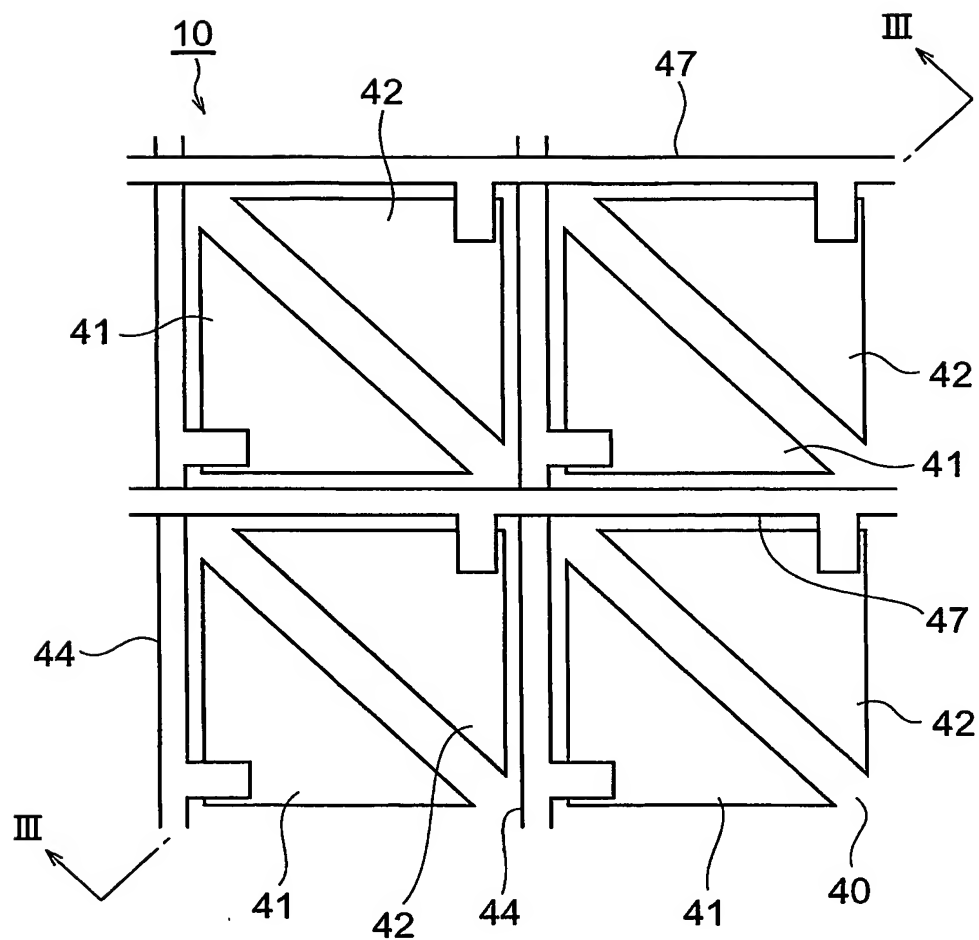
【書類名】

図面

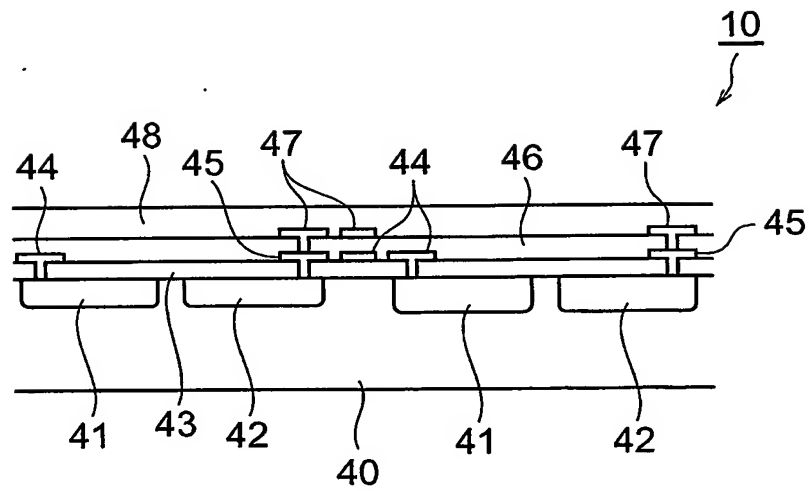
【図1】



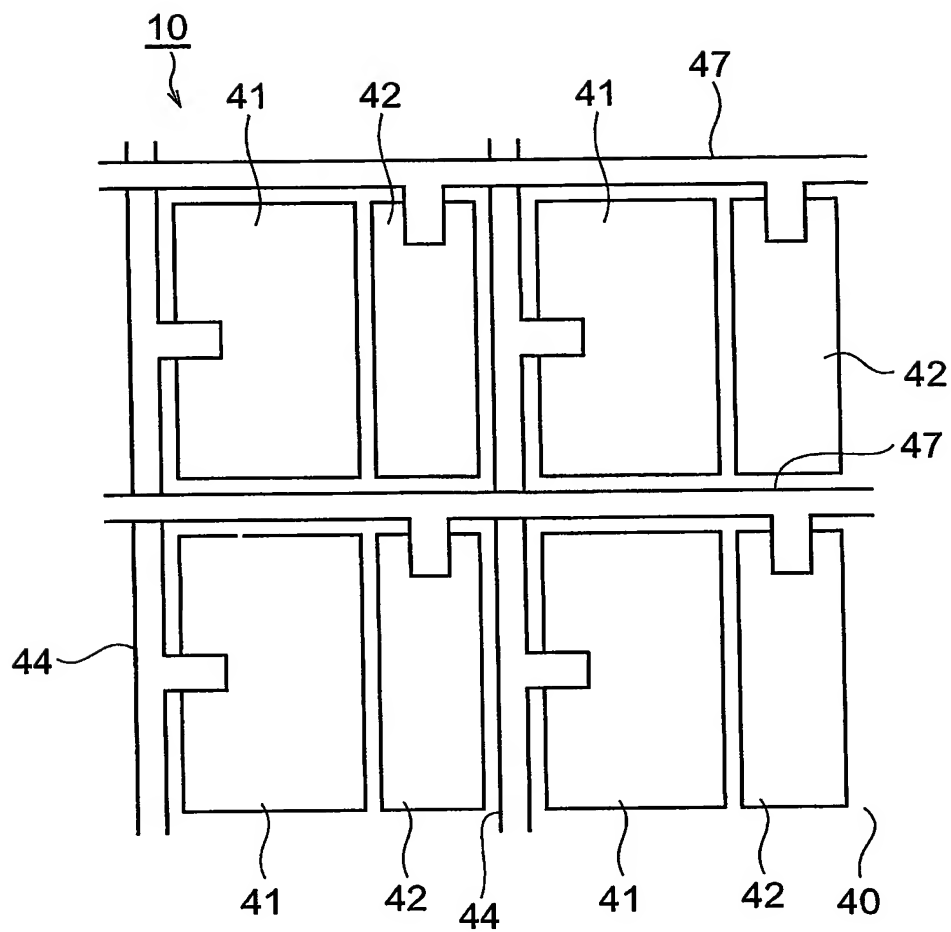
【図 2】



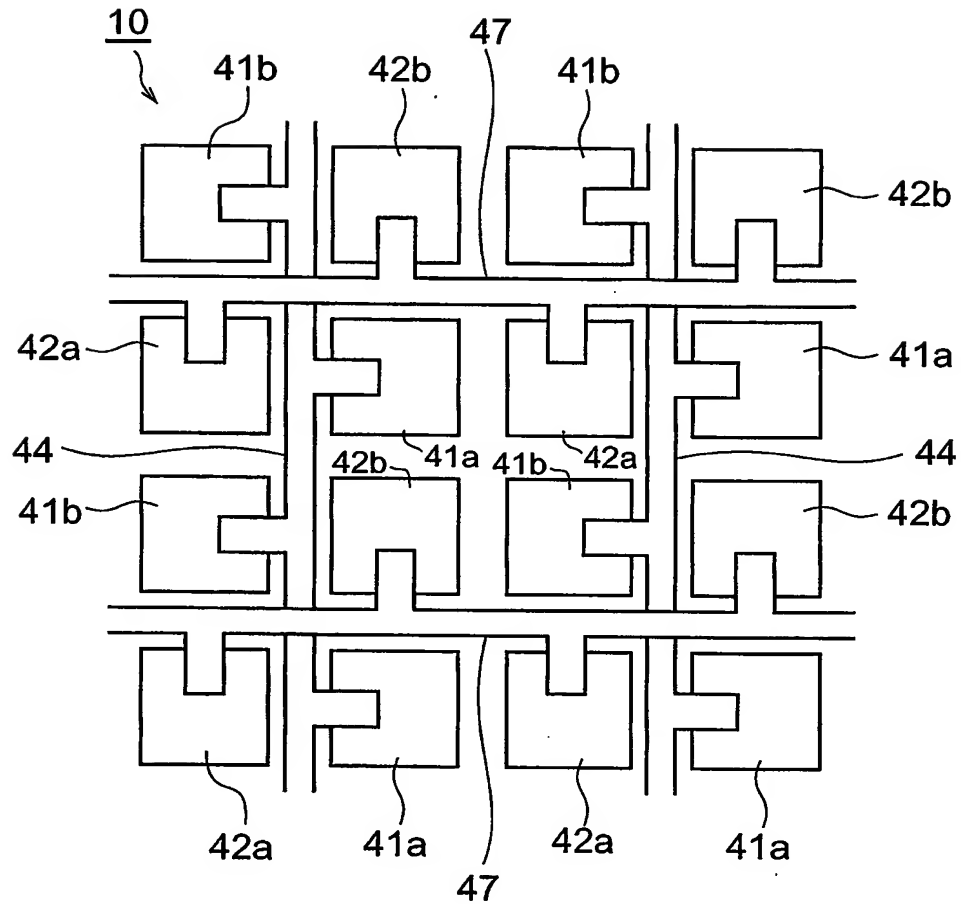
【図 3】



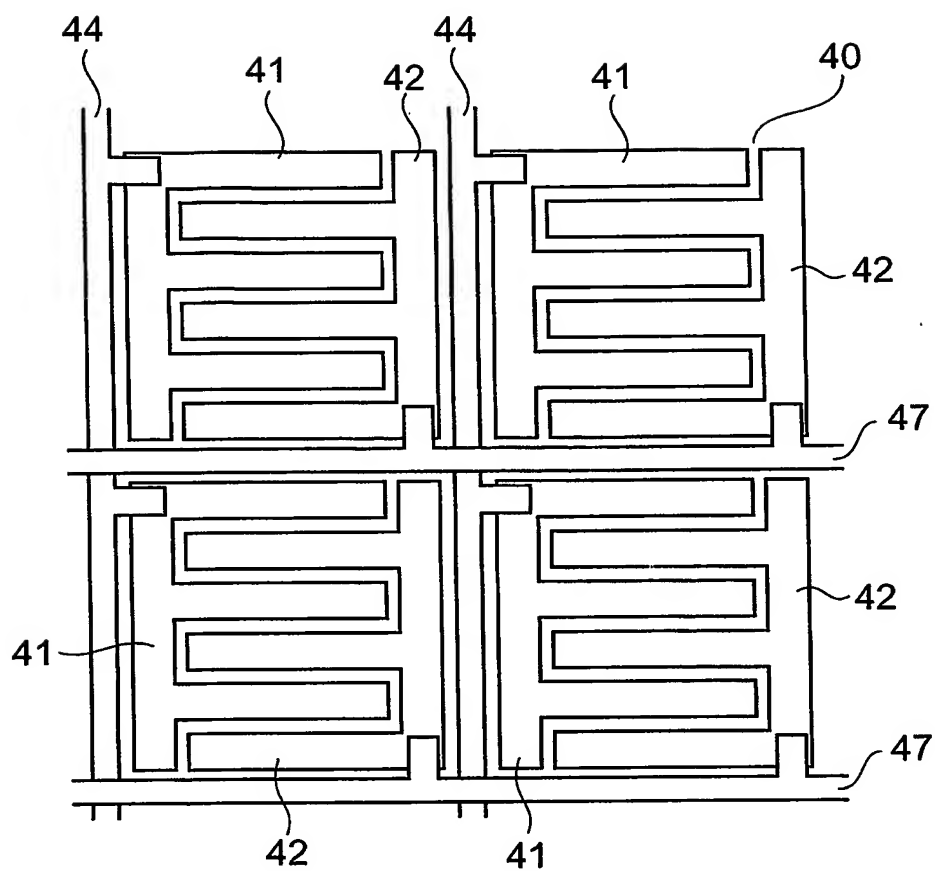
【図 4】



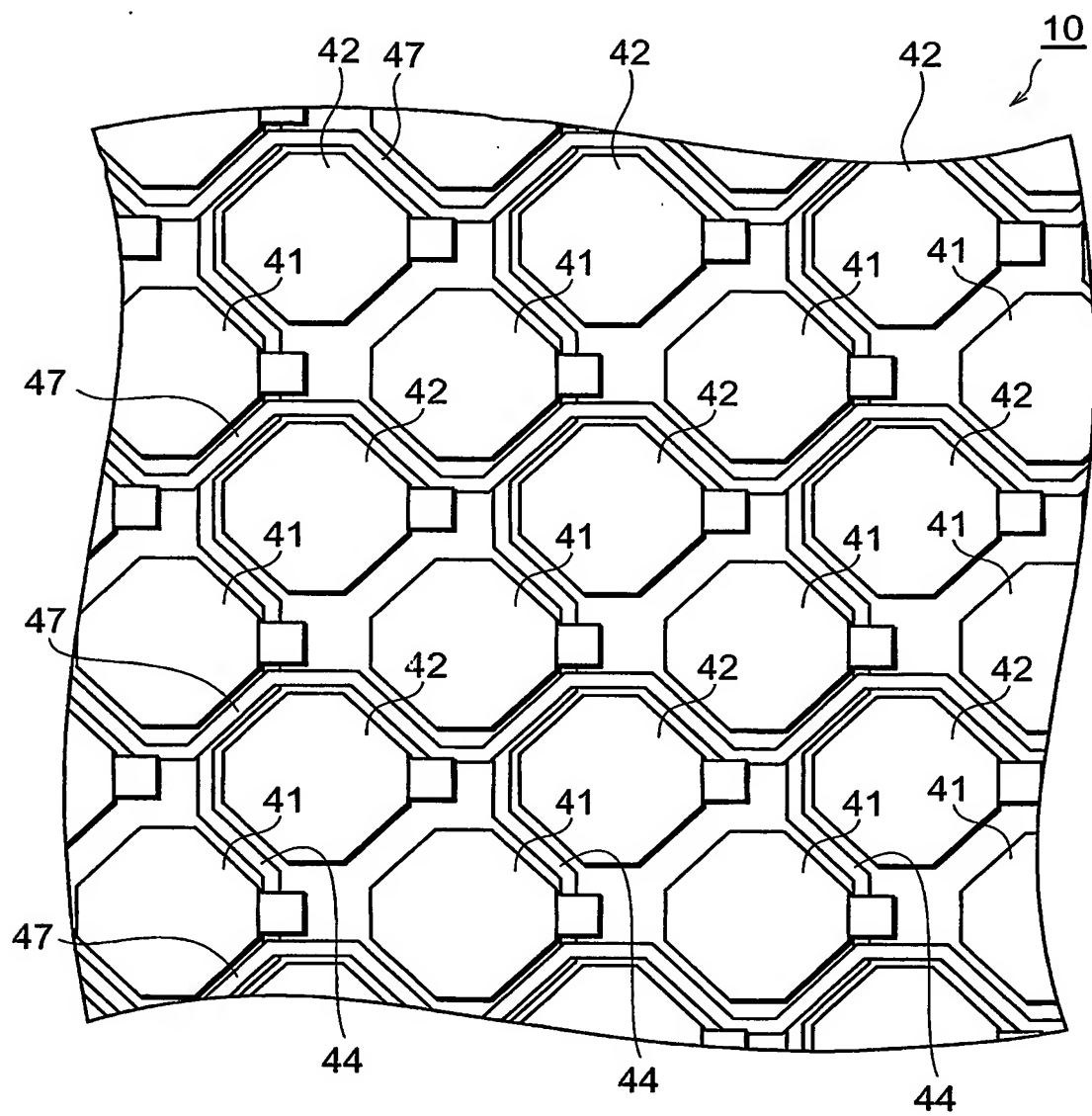
【図 6】



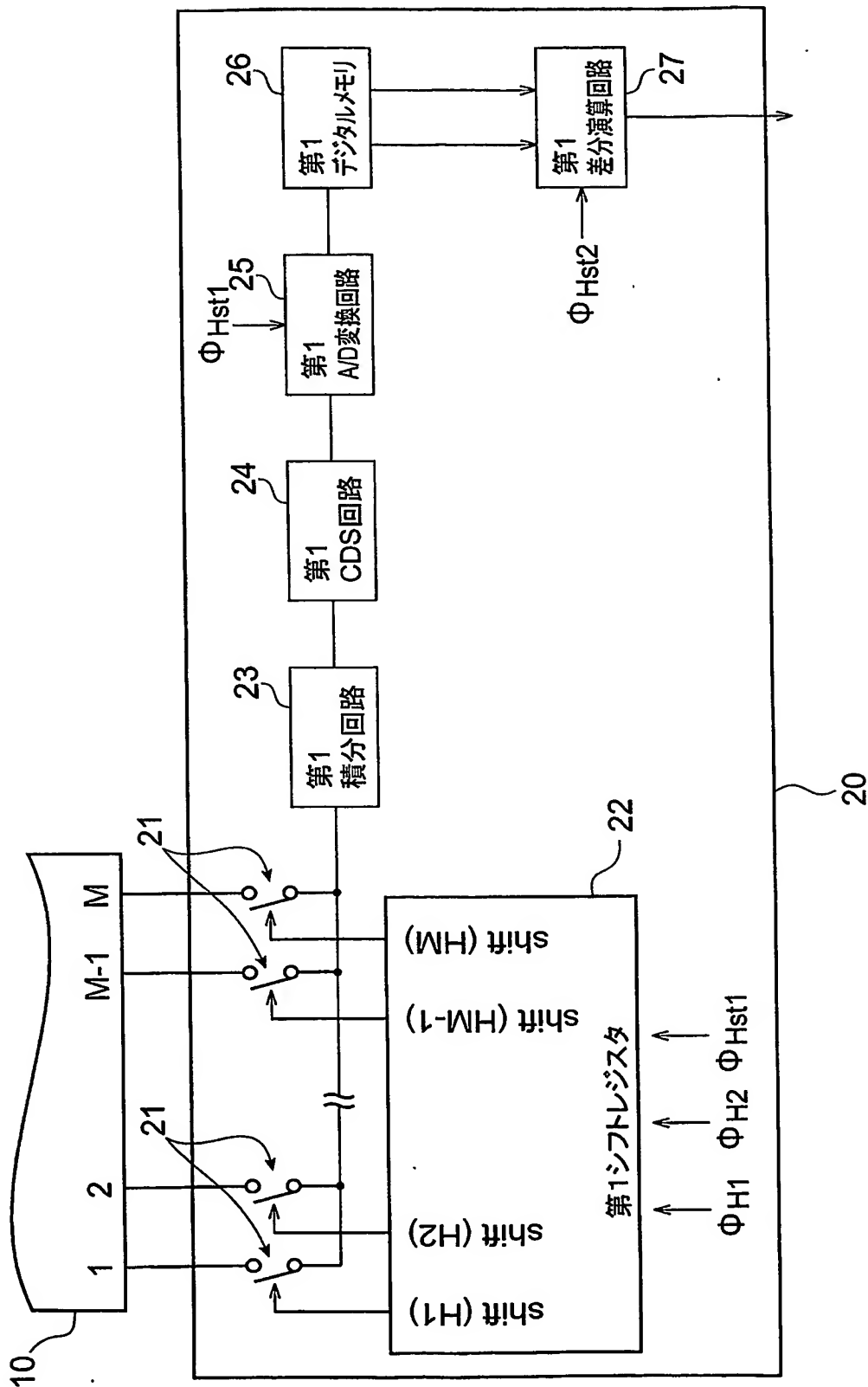
【図 7】



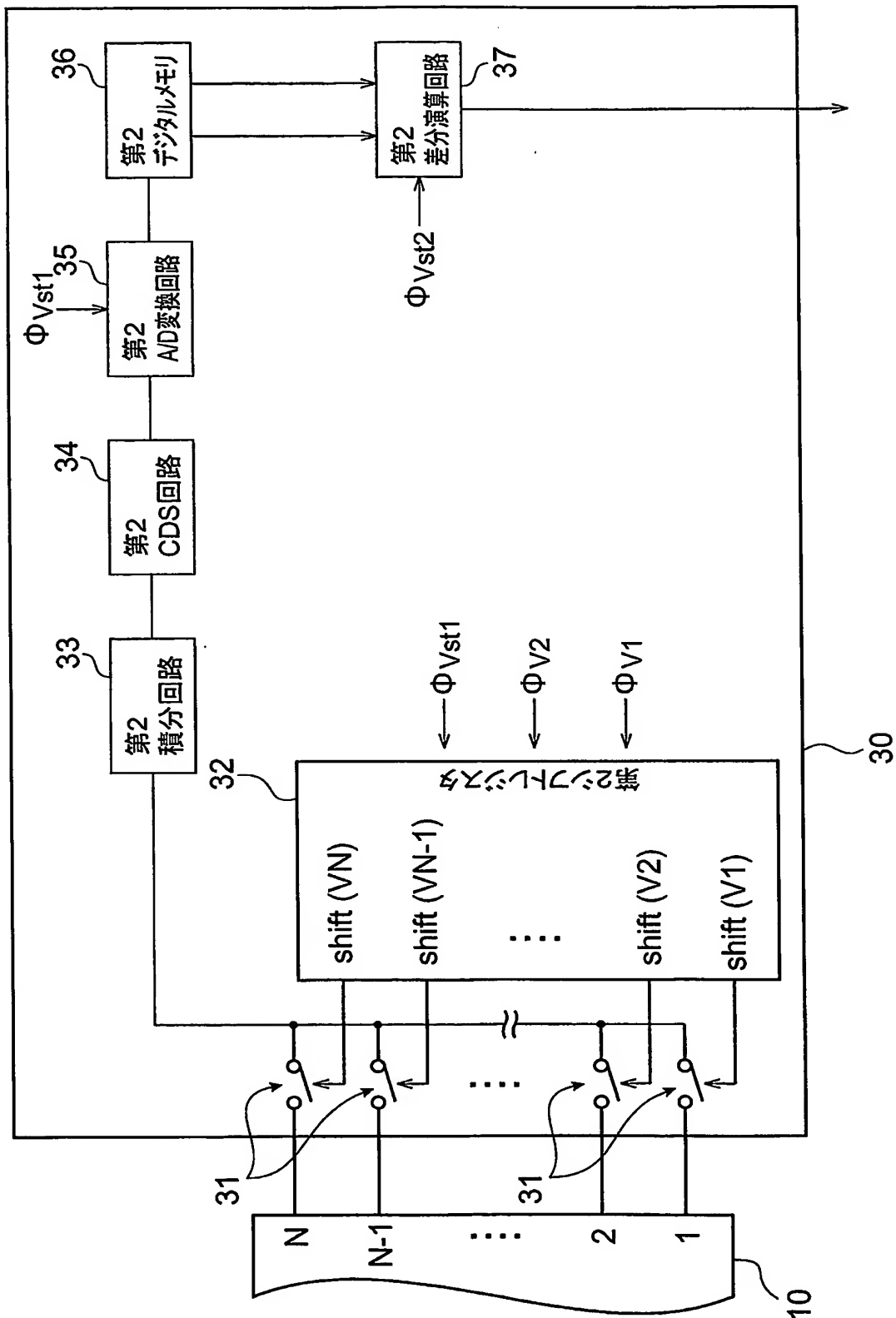
【図 8】



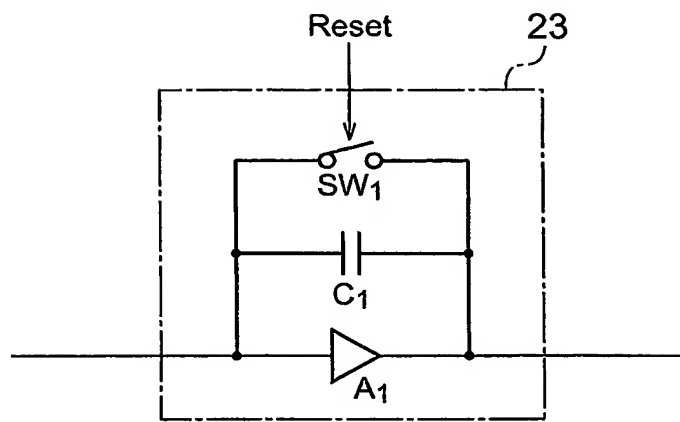
【図 9】



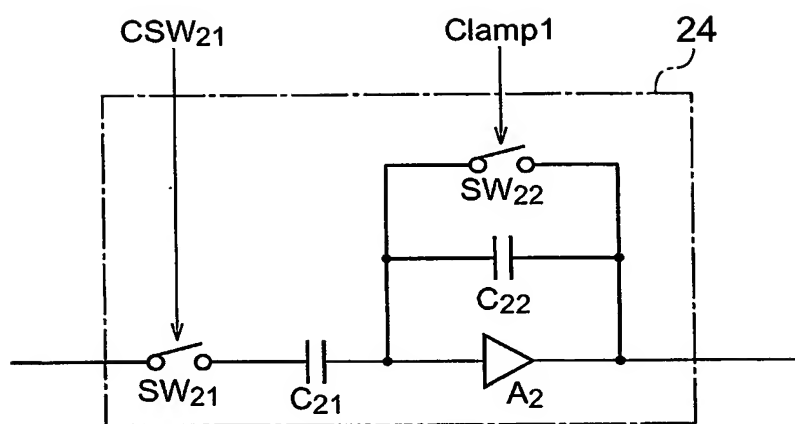
【図10】



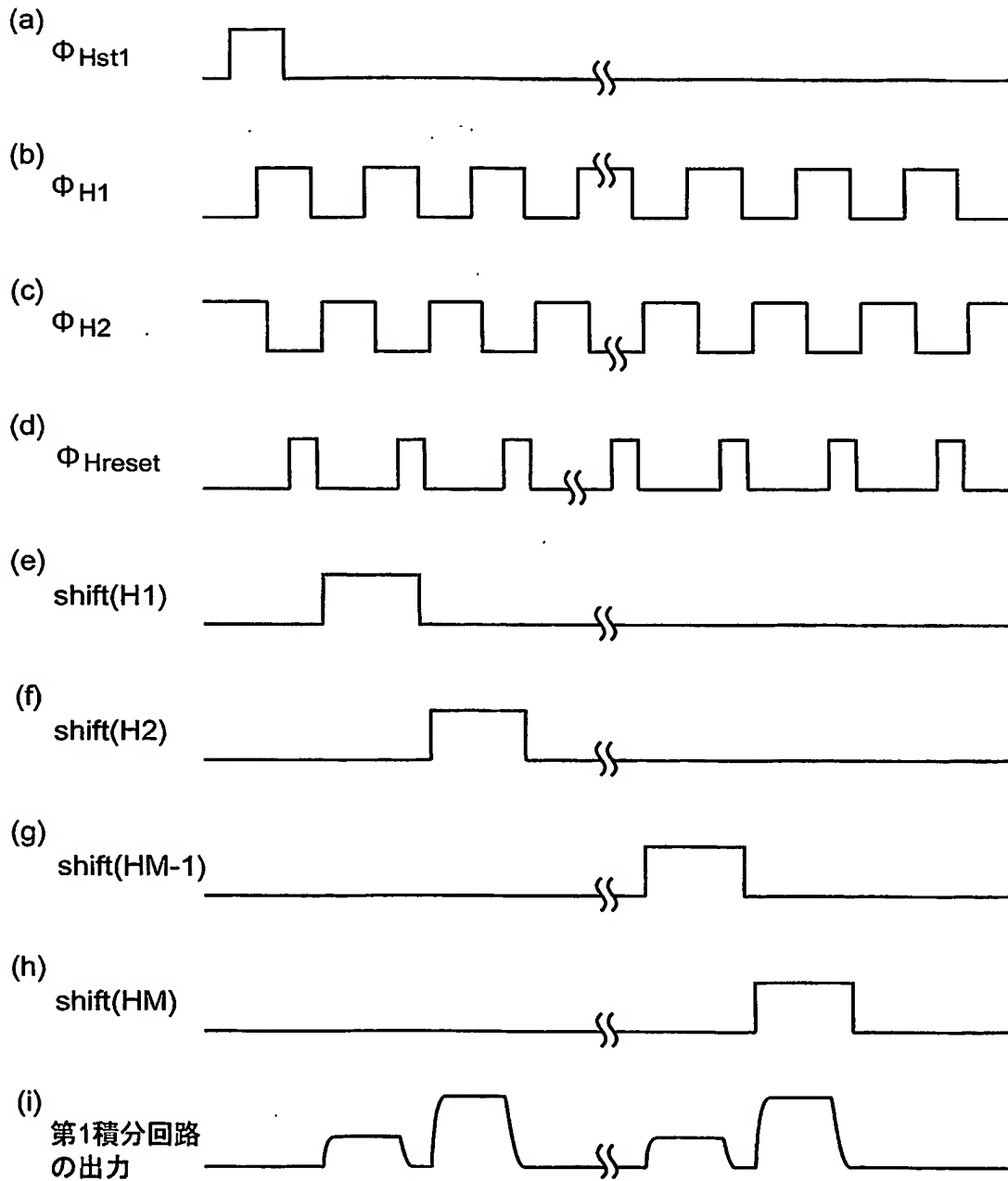
【図 11】



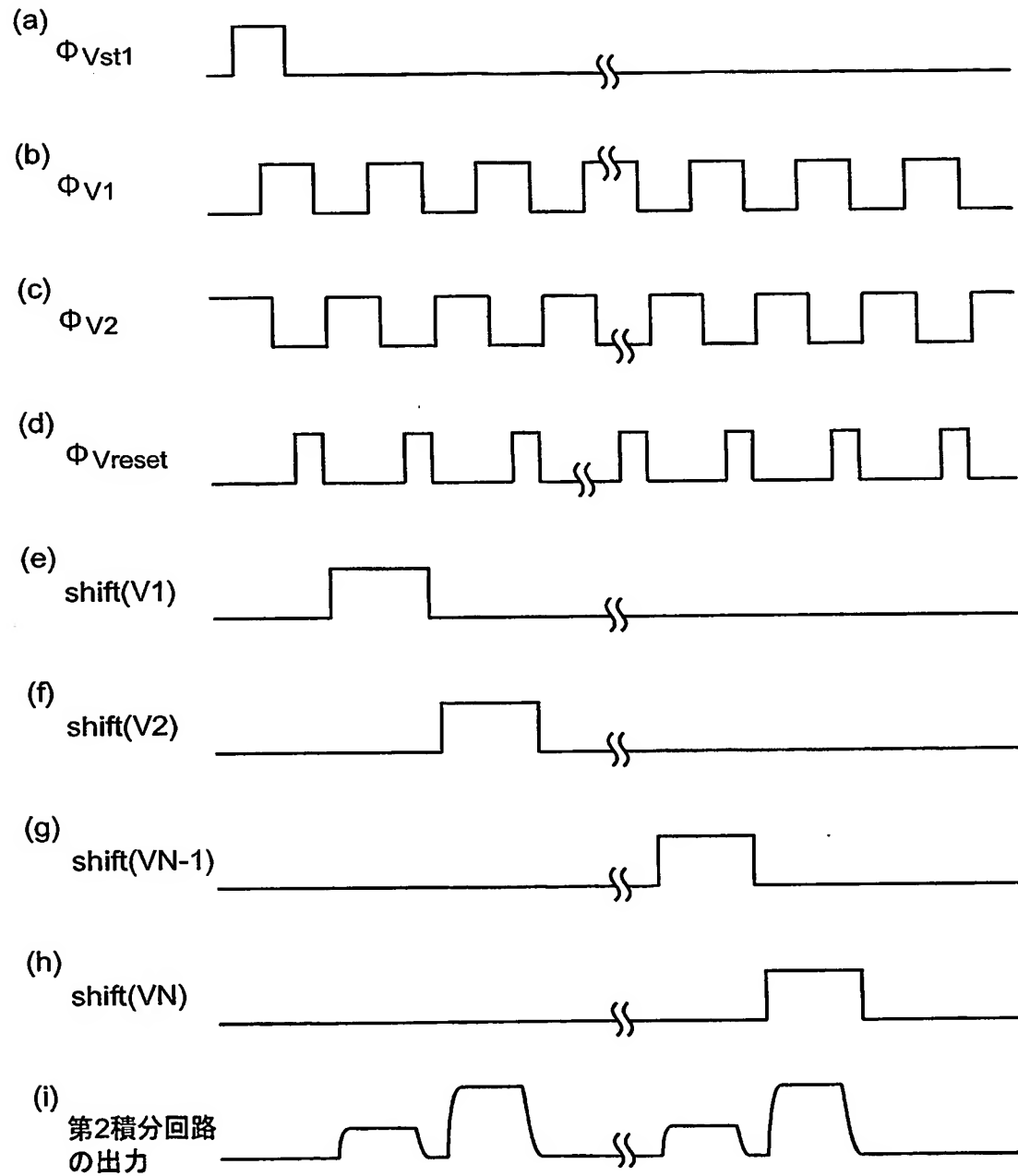
【図 12】



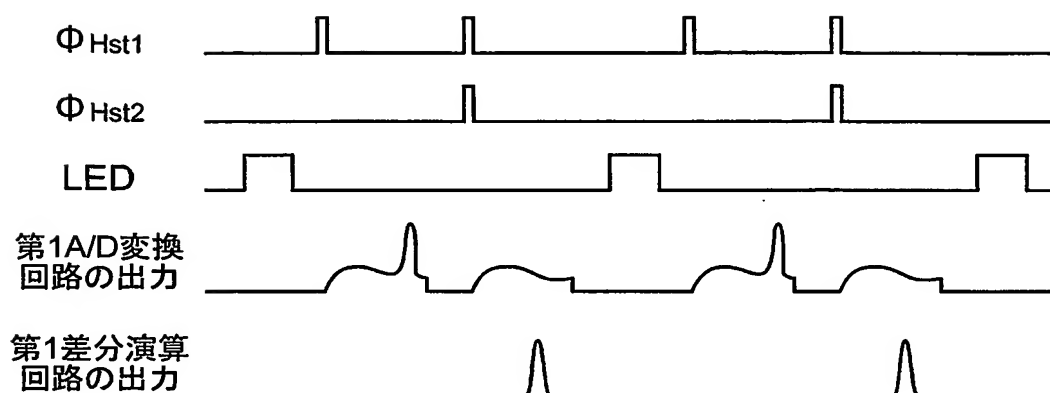
【図 13】



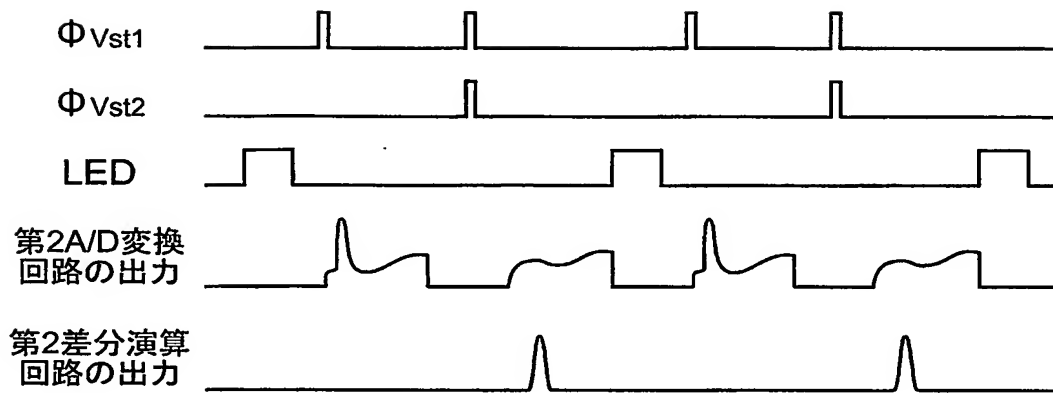
【図 14】



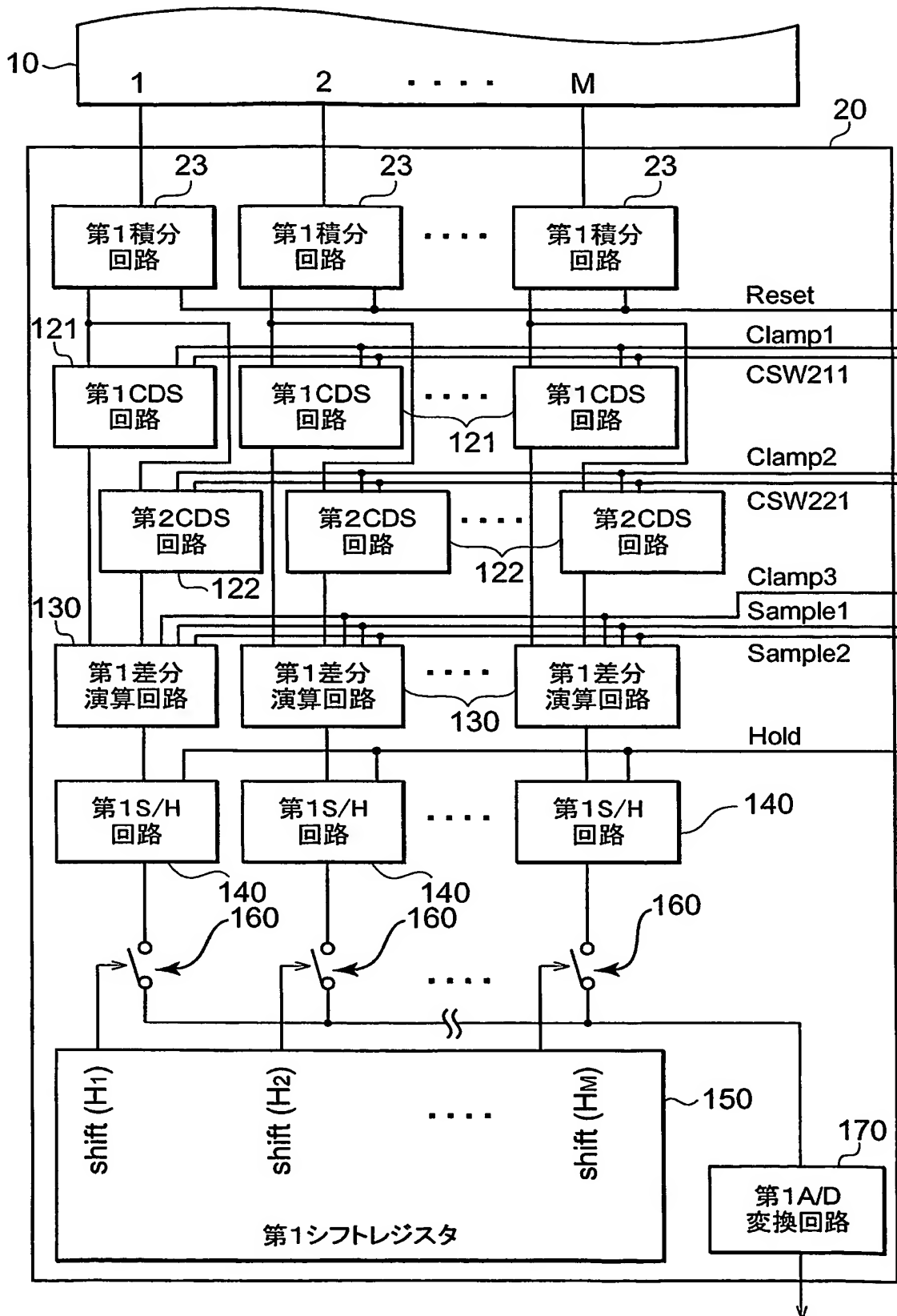
【図 15】



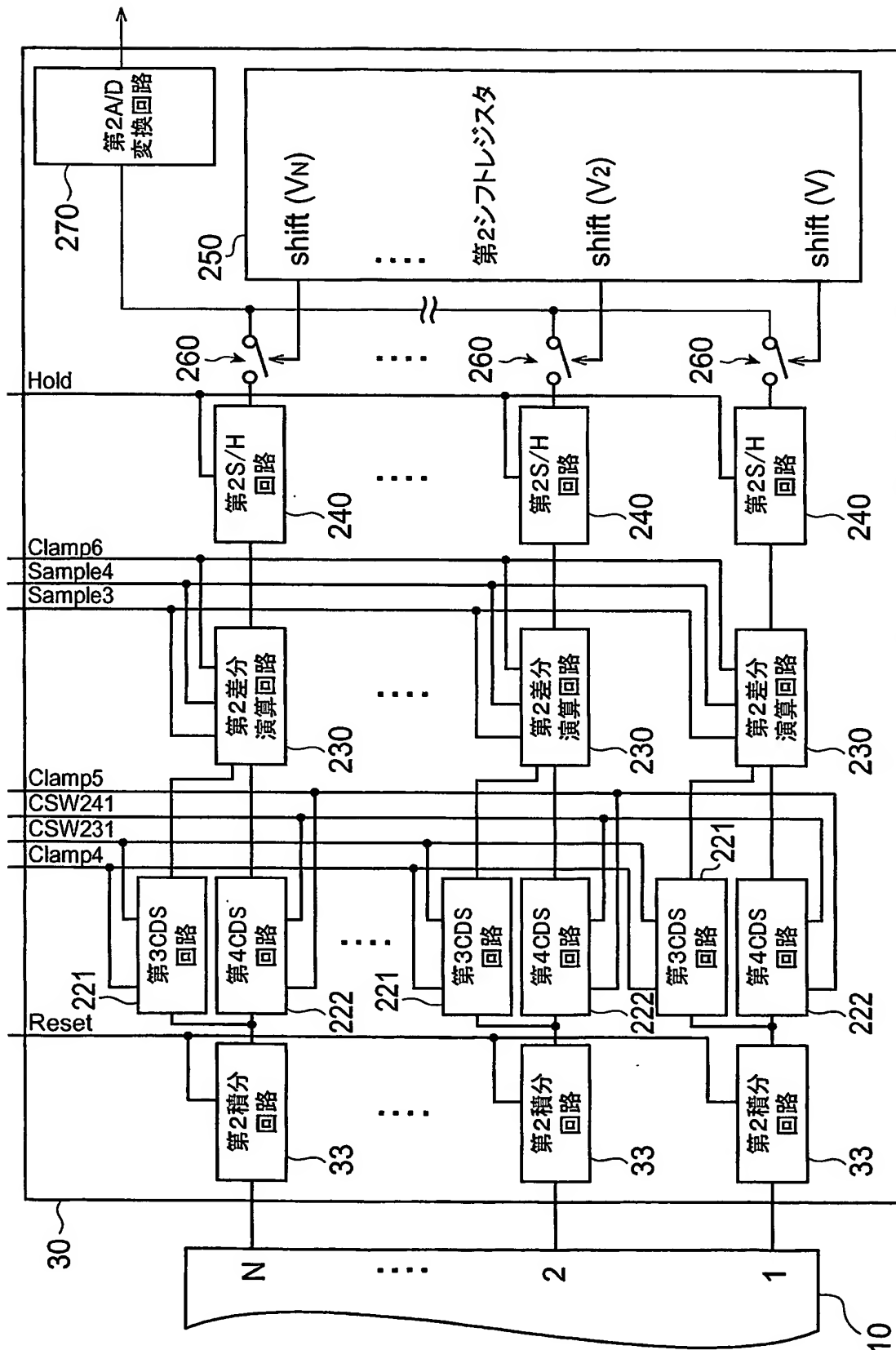
【図 16】



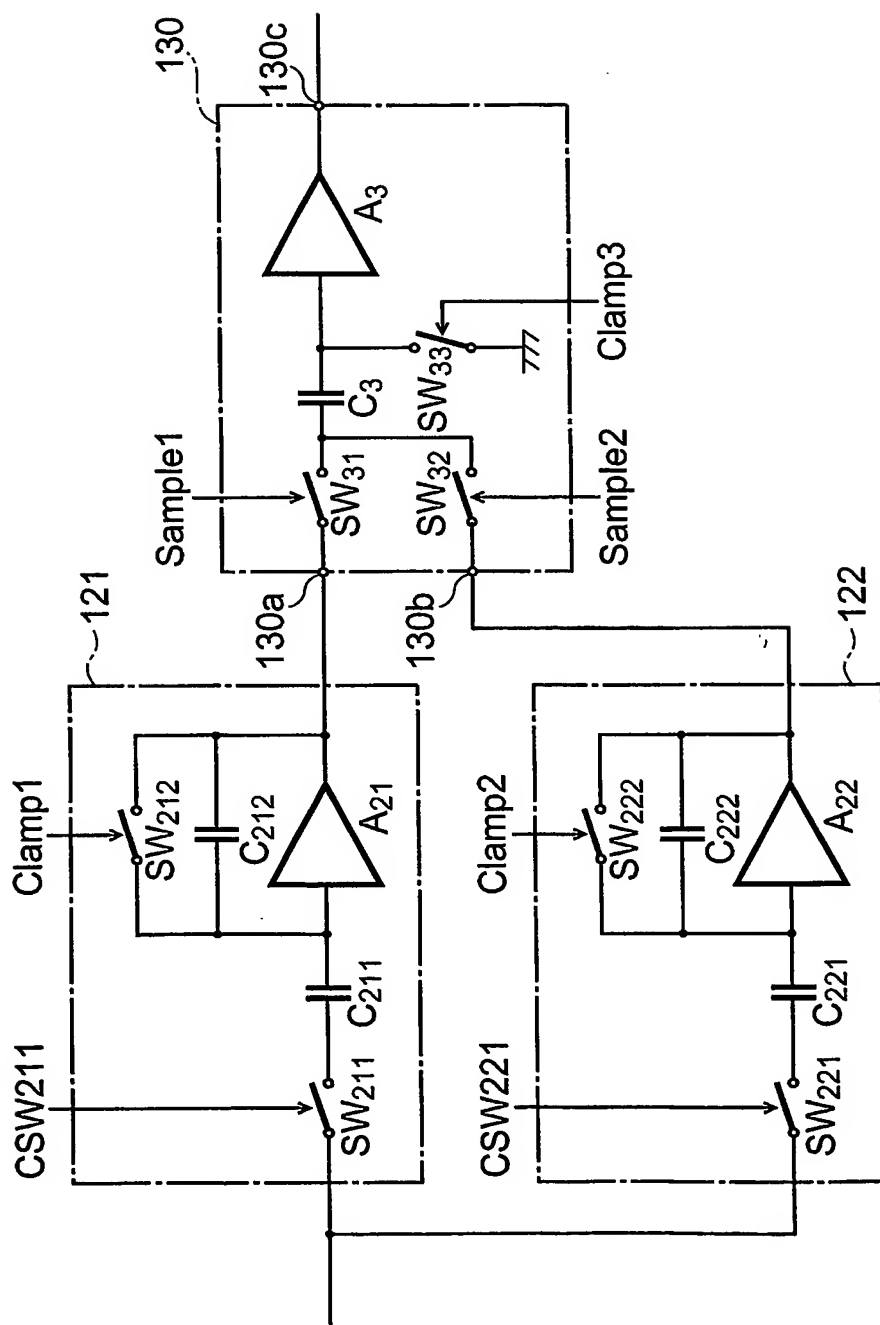
【図17】



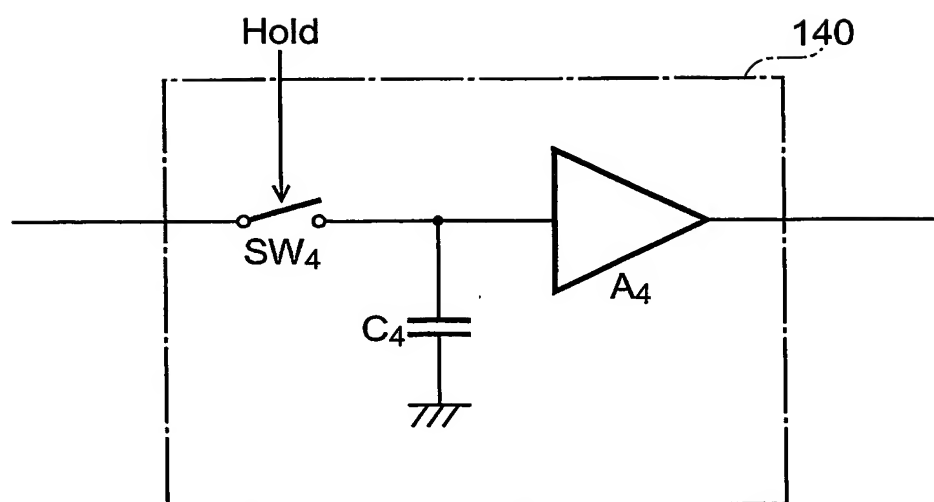
【図18】



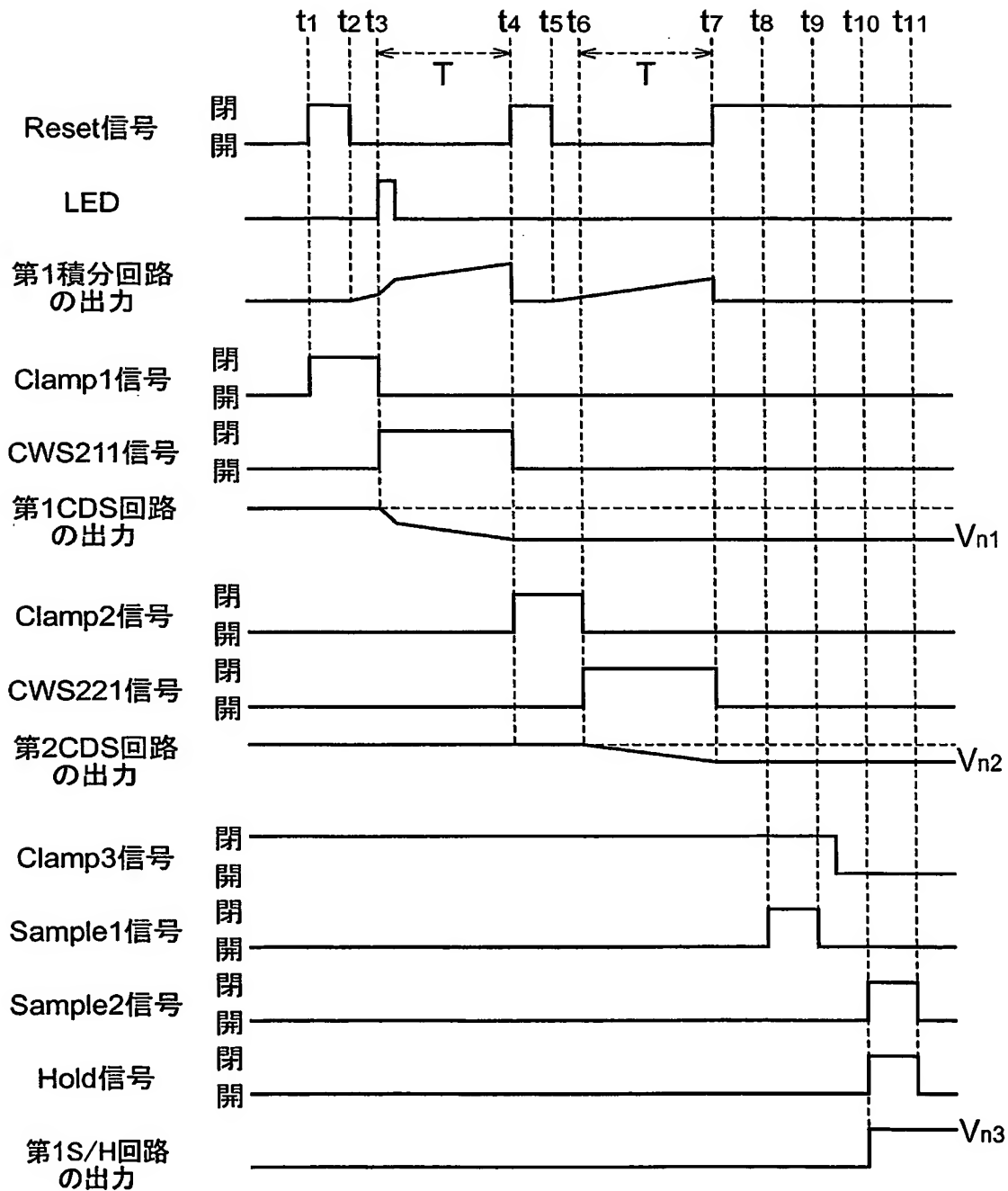
【図 19】



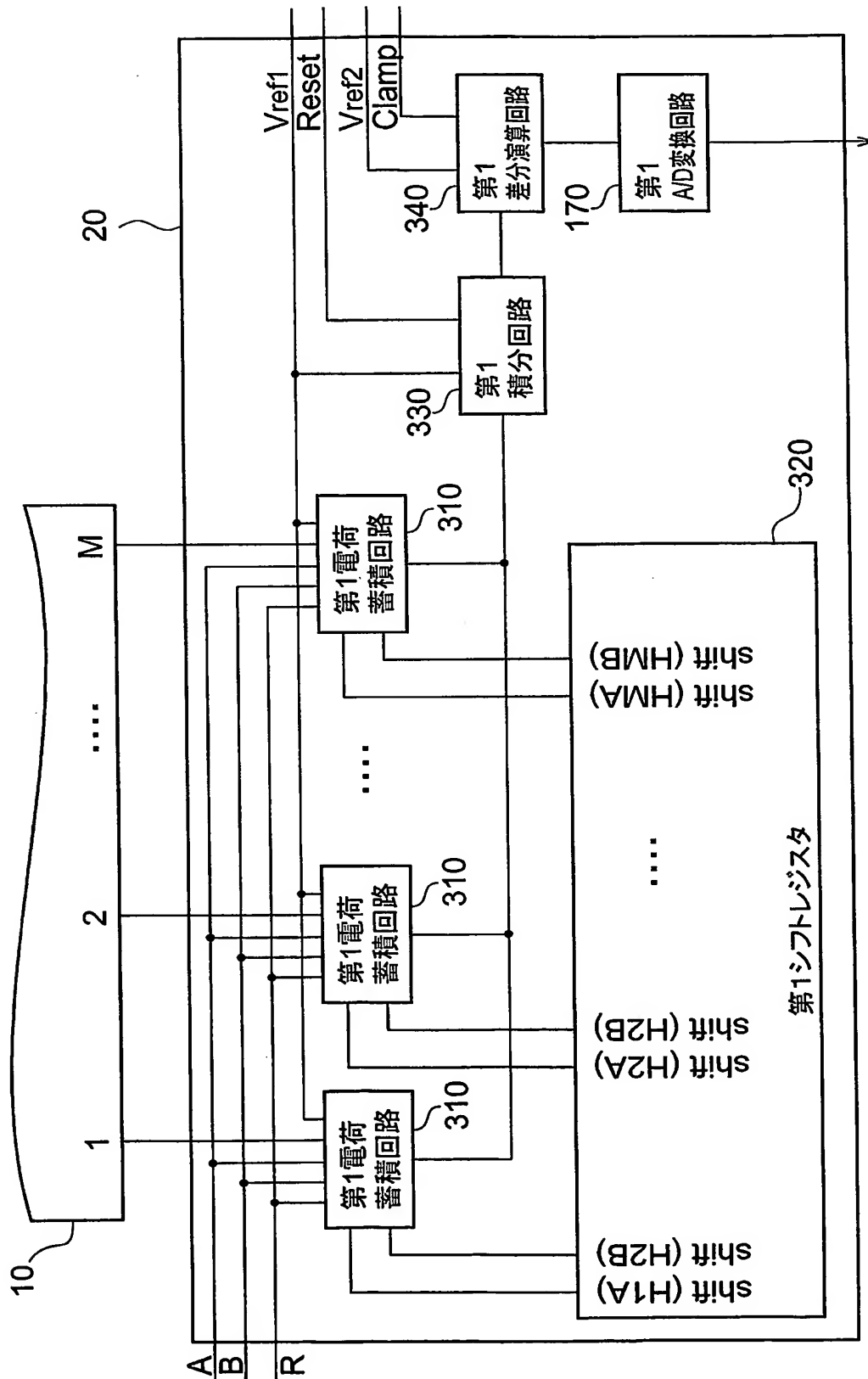
【図 20】



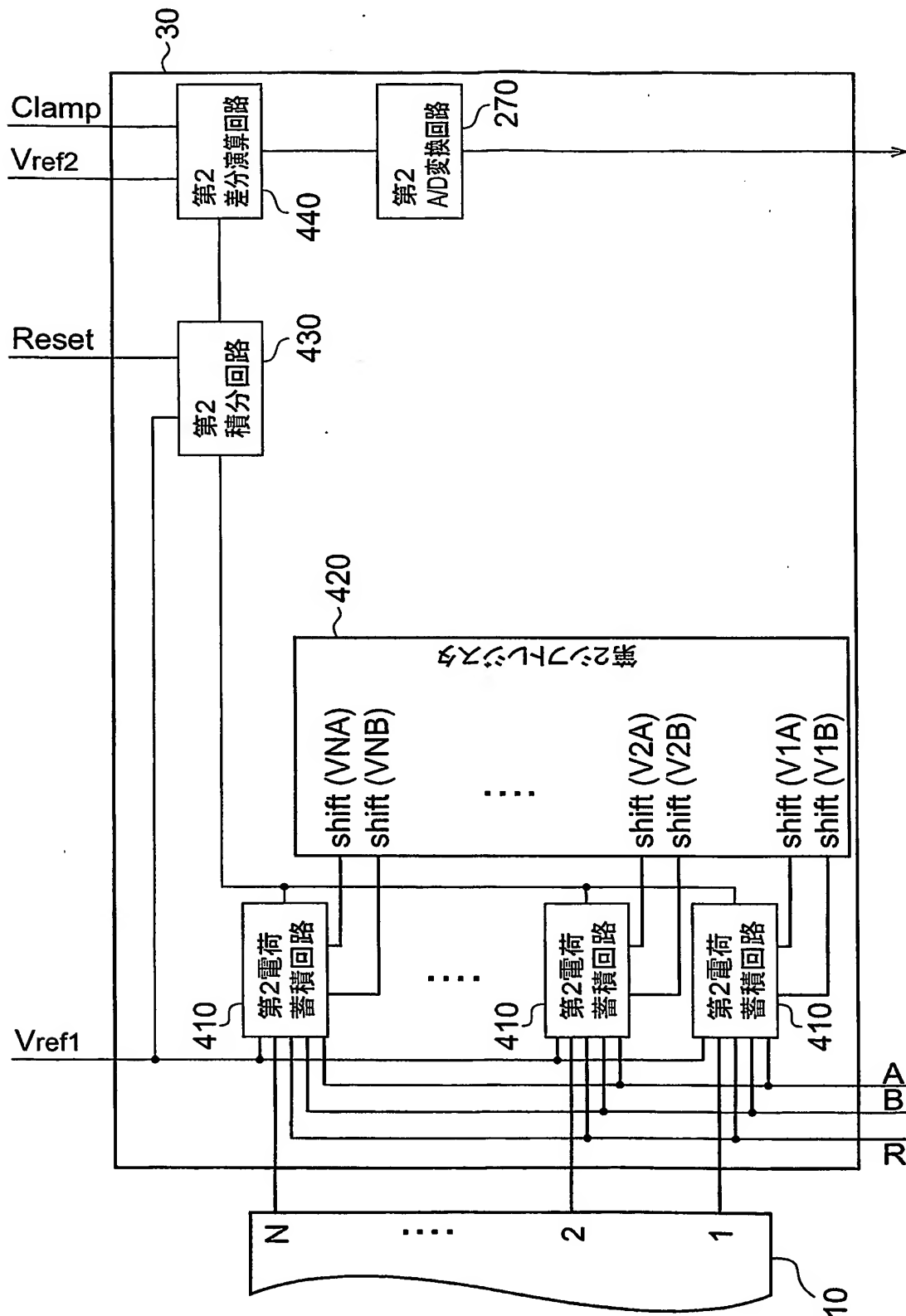
【図 21】



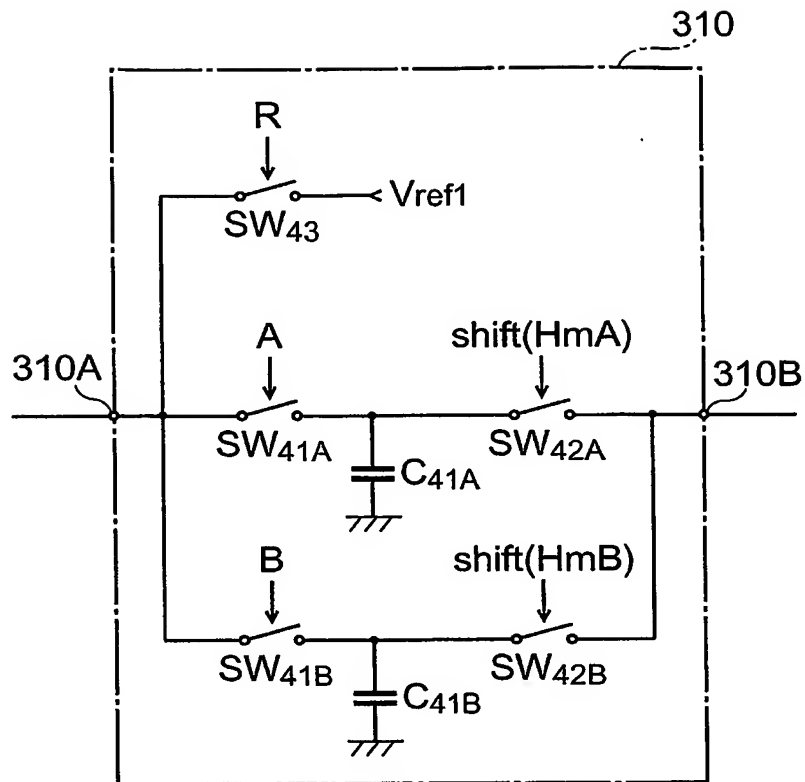
【図 22】



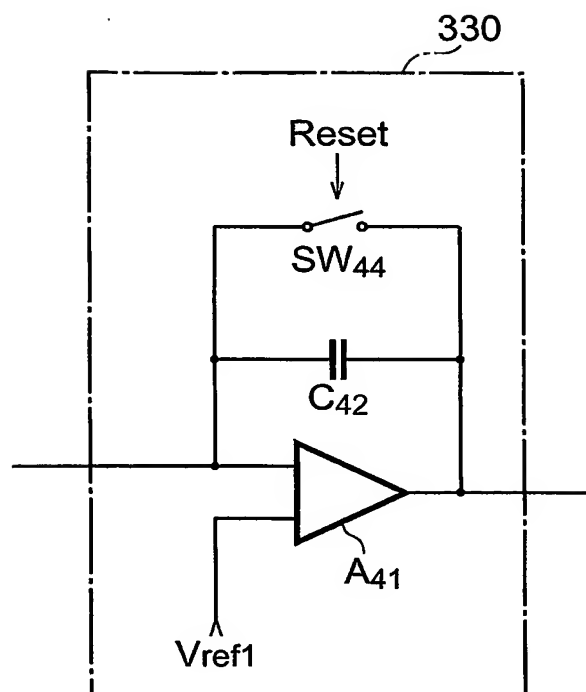
【図 23】



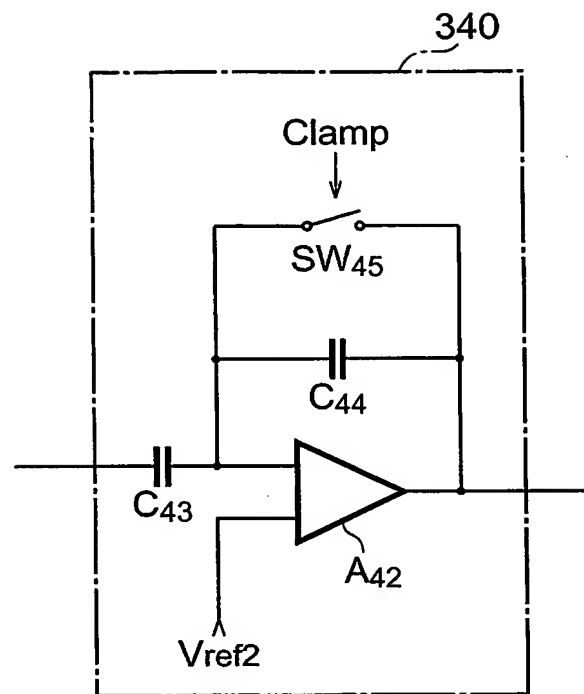
【図 24】



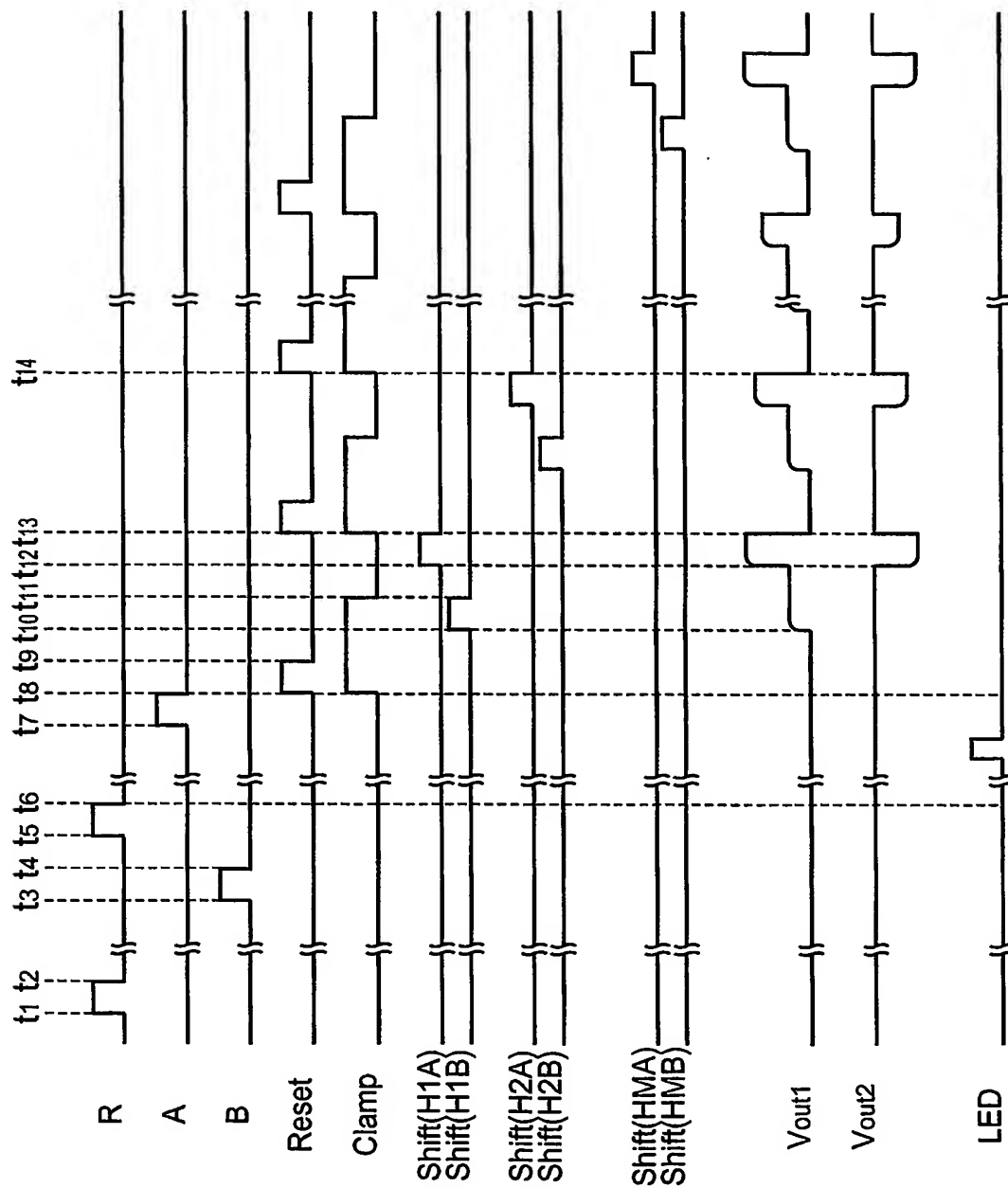
【図 25】



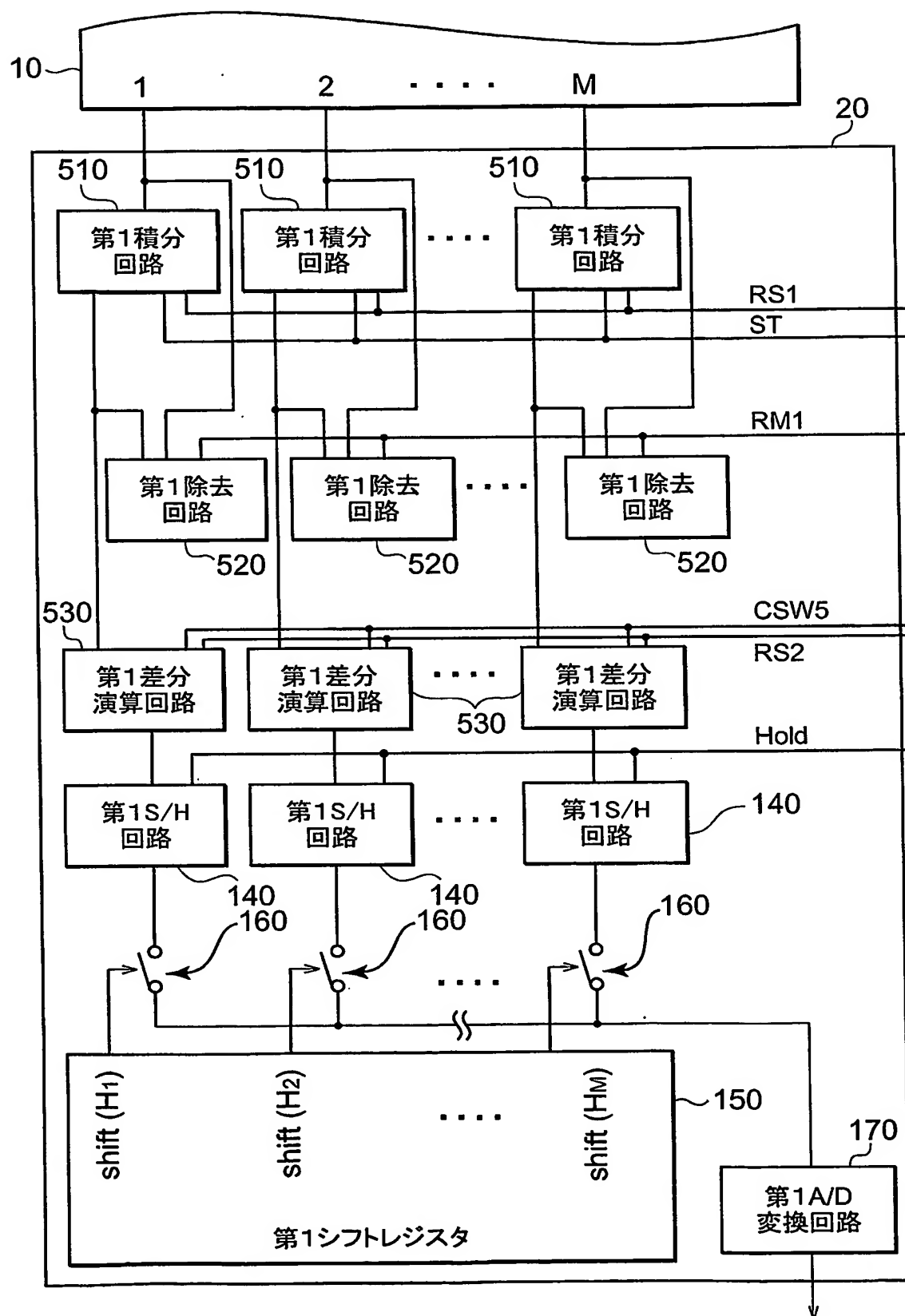
【図 26】



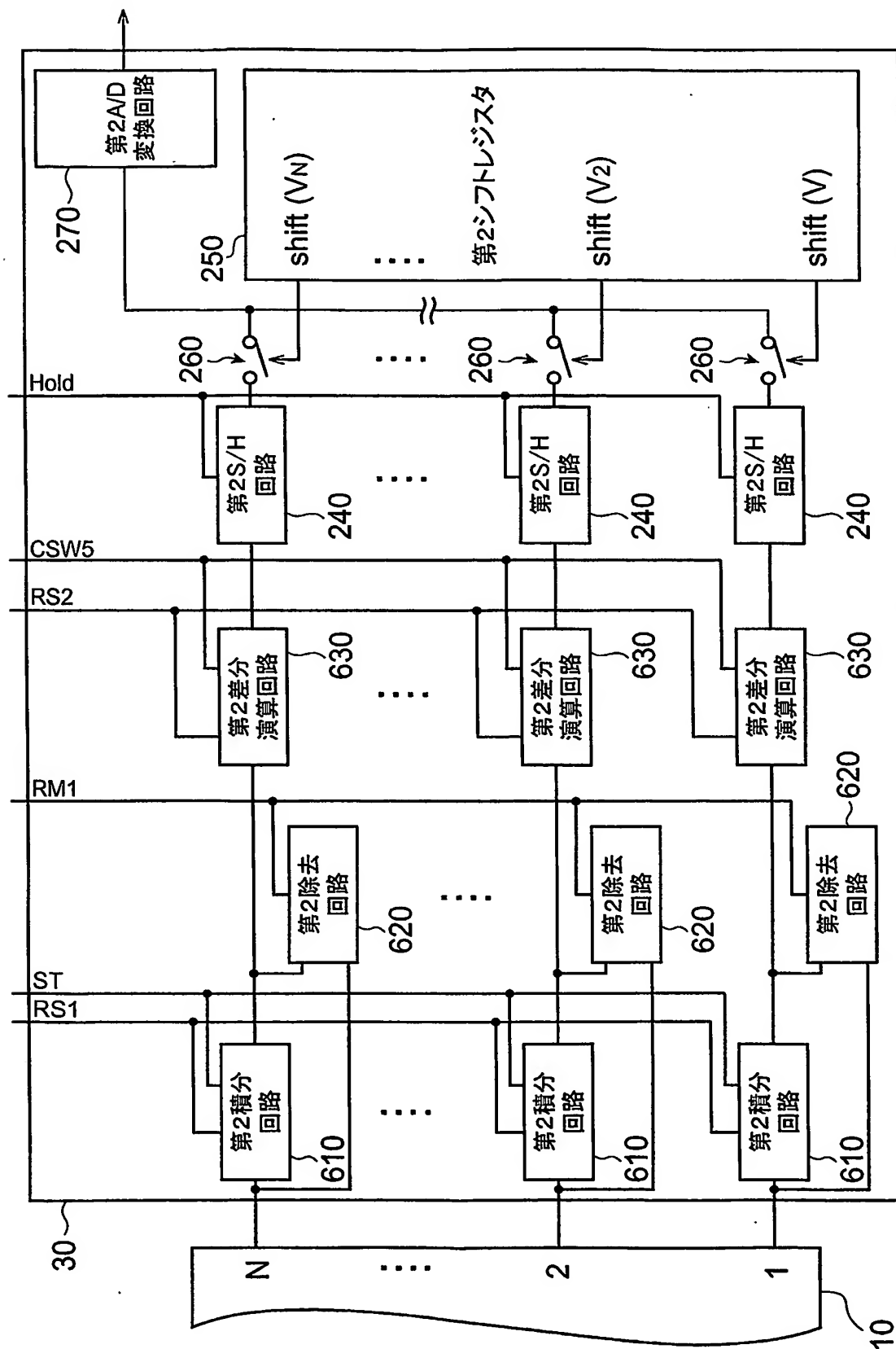
【図27】



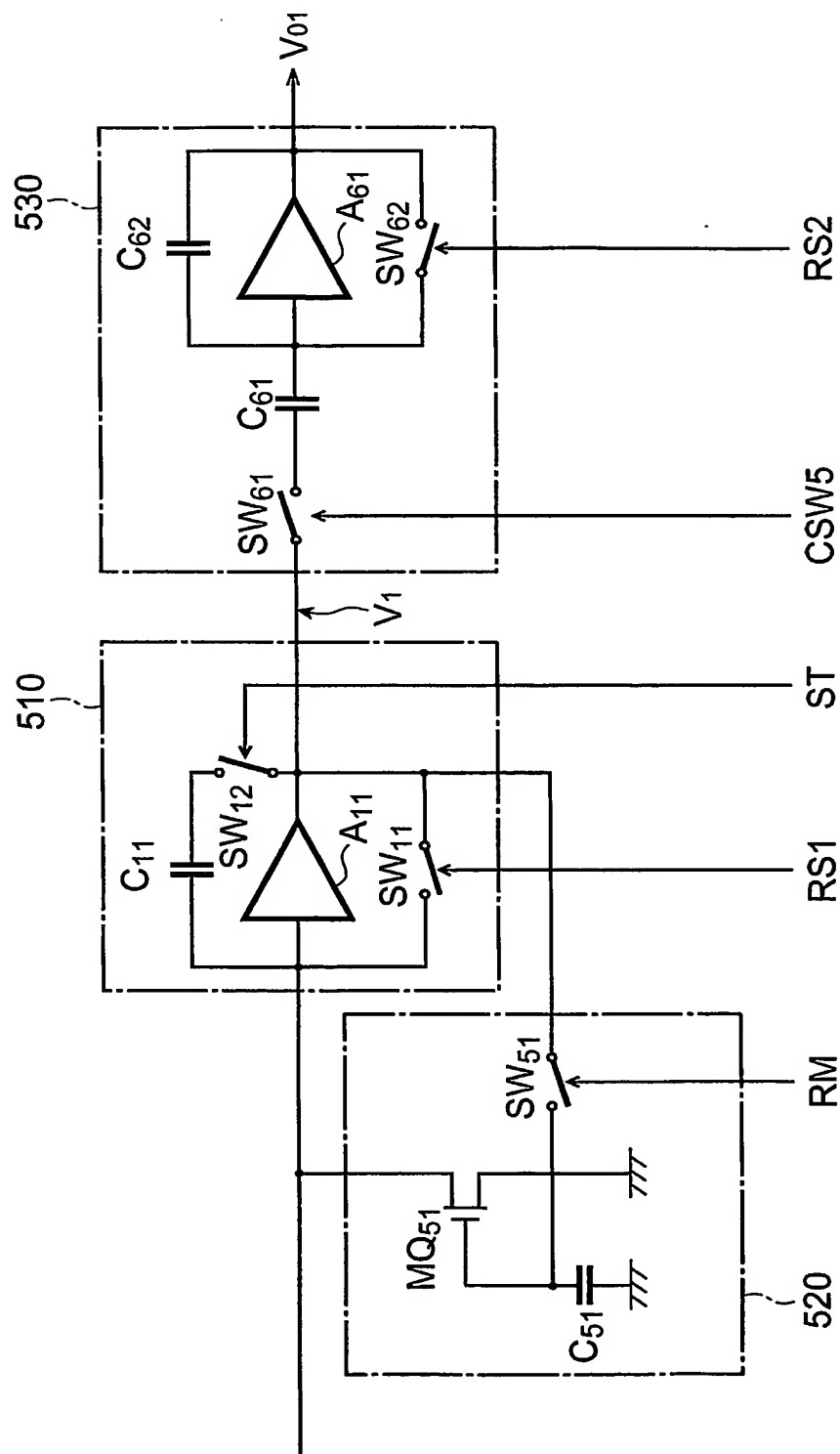
【図 28】



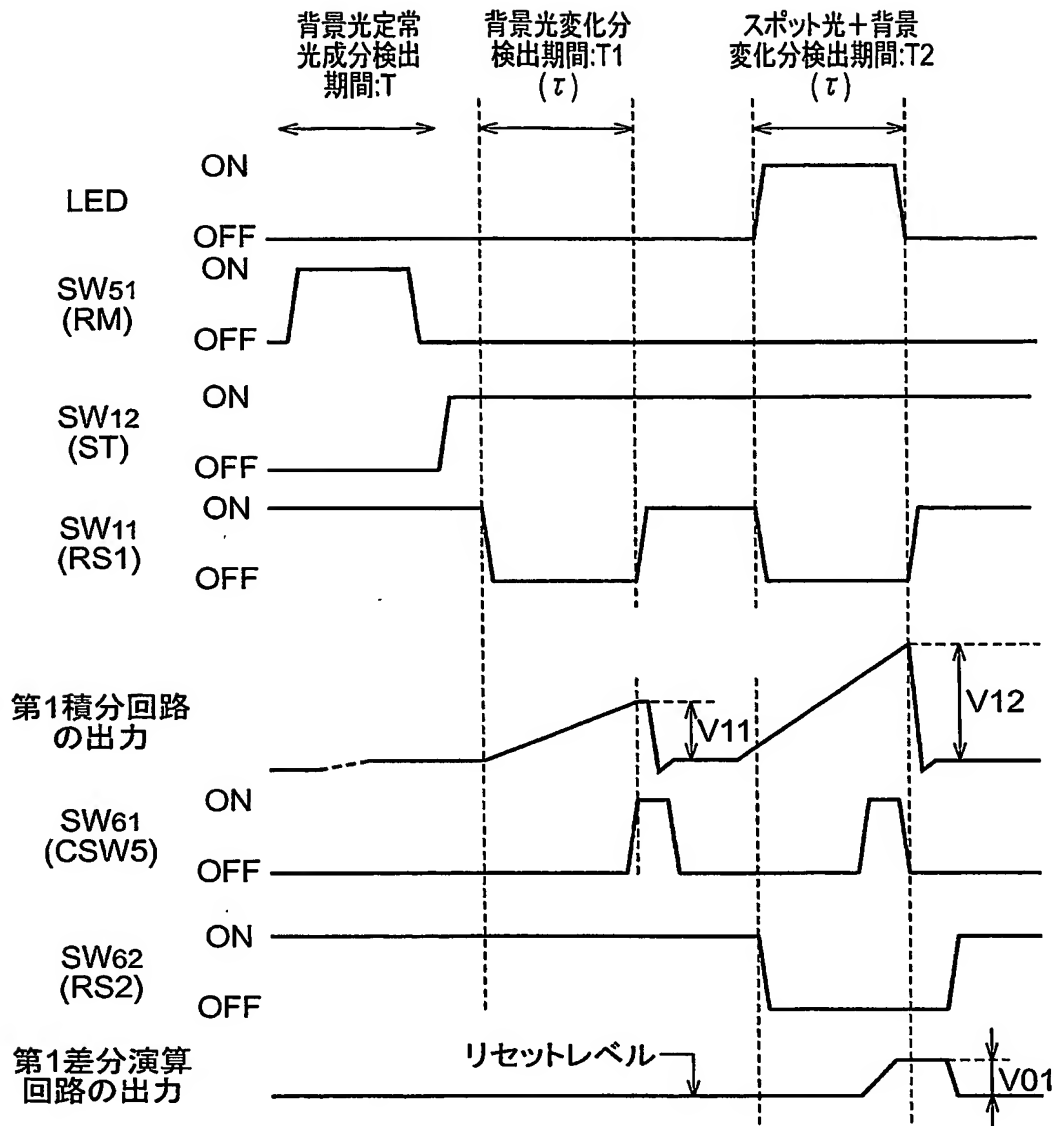
【図 29】



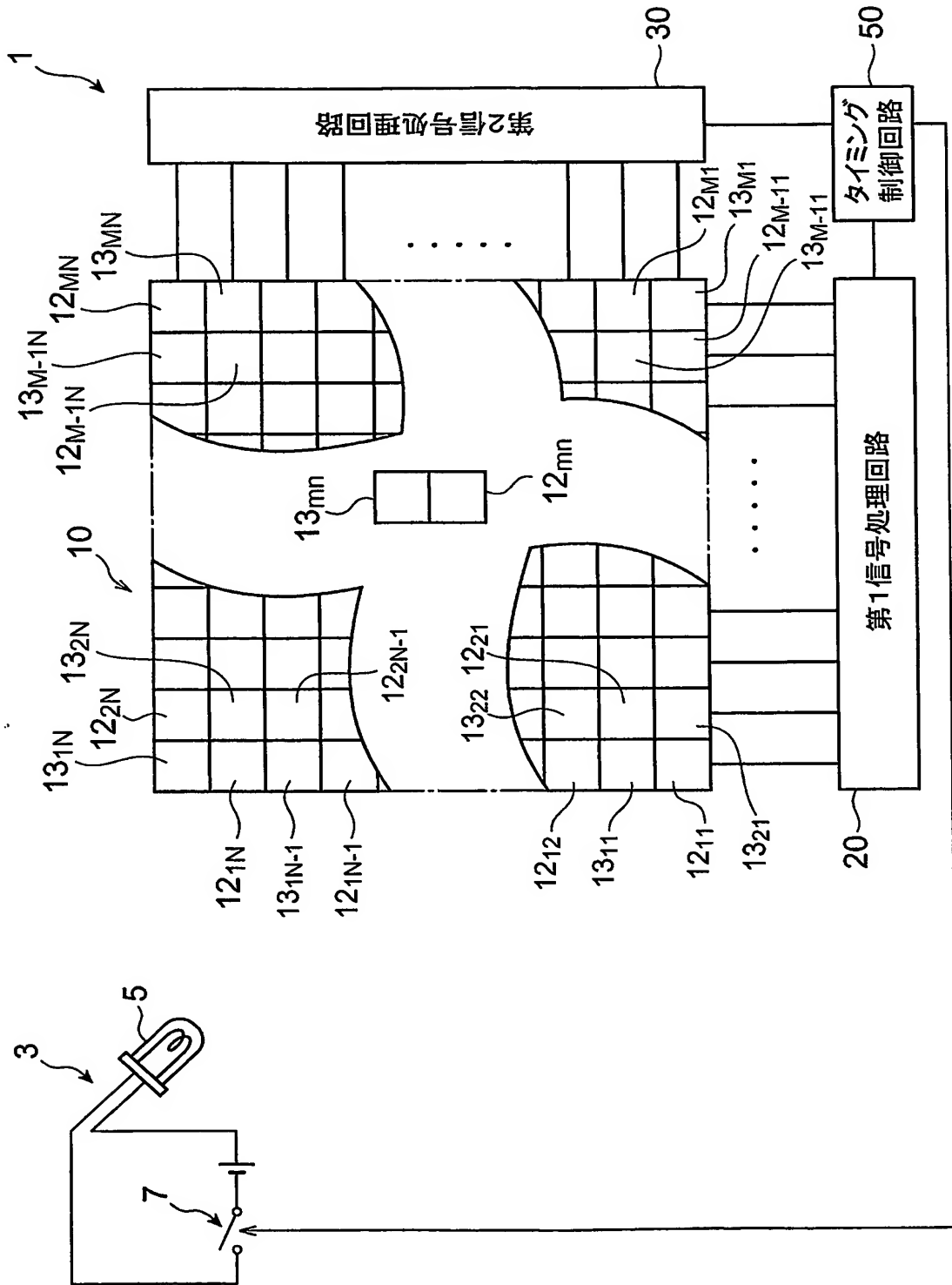
【図 30】



【図 3 1】



【図32】



【書類名】 要約書

【要約】

【課題】 2次元位置の検出処理の高速化および構成の簡素化を図ることができる光検出装置を提供する。

【解決手段】 第1積分回路23は、第1スイッチ素子21を介して順次入力される一方の光感応部分群からの電流出力を電圧出力に変換して出力する。第1CDS回路24は、第1積分回路23からの電圧出力の変化量に応じた電圧出力を出力する。第1A/D変換回路25は、第1CDS回路24からの電圧出力を順次入力し、その電圧出力をデジタル値に変換して出力する。第1デジタルメモリ26は、第1A/D変換回路25から出力されたデジタル値のうちの第1の期間に対応したデジタル値と、同じく第2の期間に対応したデジタル値とを記憶し、当該記憶したデジタル値を第1差分演算回路27に出力する。第1差分演算回路27は、第1デジタルメモリ26から出力された第1の期間に対応したデジタル値と第2の期間に対応したデジタル値との差分を求め、当該差分に対応するデジタル値を出力する。

【選択図】 図9

特願 2 0 0 3 - 0 1 6 6 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 6 4 3 6]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

静岡県浜松市市野町 1 1 2 6 番地の 1

氏 名

浜松ホトニクス株式会社